

# BUNDESREPUBLIK DEUTSCHLAND

EP04/12351



16.11.2004

## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen:

103 51 719.7

REC'D 02 DEC 2004

WIPO

PCT

Anmeldetag:

31. Oktober 2003

Anmelder/Inhaber:

IHP GmbH – Innovations for High Performance Microelectronics / Institut für innovative Mikroelektronik,  
15236 Frankfurt an der Oder/DE

Bezeichnung:

Prozessorbaustein

IPC:

G 08 C, G 06 F, B 81 B

PRIORITY

DOCUMENT

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 11. November 2004  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

Klostermeyer

**München**  
Patentanwälte  
European Patent Attorneys  
Dipl.-Phys. Heinz Nöth  
Dipl.-Wirt.-Ing. Rainer Fritsche  
Lbm.-Chem. Gabriele Leißler-Gerstl  
Dipl.-Ing. Olaf Ungerer  
Patentanwalt  
Dipl.-Chem. Dr. Peter Schuler

**Alicante**  
European Trademark Attorney  
Dipl.-Ing. Jürgen Klinghardt

**Berlin**  
Patentanwälte  
European Patent Attorneys  
Dipl.-Ing. Henning Christiansen  
Dipl.-Ing. Joachim von Oppen  
Dipl.-Ing. Jutta Kaden  
Dipl.-Phys. Dr. Ludger Eckey

**Spreepalais am Dom**  
Anna-Louisa-Karsch-Strasse 2  
D-10178 Berlin  
Tel. +49-(0)30-8418 870  
Fax +49-(0)30-8418 8777  
Fax +49-(0)30-8418 8778  
mail@eisenfuhr.com  
http://www.eisenfuhr.com

**Bremen**  
Patentanwälte  
European Patent Attorneys  
Dipl.-Ing. Günther Eisenführ  
Dipl.-Ing. Dieter K. Speiser  
Dr.-Ing. Werner W. Rabus  
Dipl.-Ing. Jürgen Brügge  
Dipl.-Ing. Jürgen Klinghardt  
Dipl.-Ing. Klaus G. Göken  
Jochen Ehlers  
Dipl.-Ing. Mark Andres  
Dipl.-Chem. Dr. Uwe Stilkenböhmer  
Dipl.-Ing. Stephan Keck  
Dipl.-Ing. Johannes M. B. Wasiljeff  
Patentanwalt  
Dipl.-biotechnol. Heiko Sendrowski

**Rechtsanwälte**  
Ulrich H. Sander  
Christian Spintig  
Sabine Richter  
Harald A. Förster

**Hamburg**  
Patentanwalt  
European Patent Attorney  
Dipl.-Phys. Frank Meier

**Rechtsanwälte**  
Rainer Böhm  
Nicol Ehlers, LL.M.

Berlin,  
Unser Zeichen:  
Durchwahl:

30. Oktober 2003  
IB 1237-01DE LE/jwd  
030/841 887 16

Anmelder/Inhaber: IHP GMBH  
Amtsaktenzeichen: Neuanmeldung

IHP GmbH - Innovations for High Performance Microelectronics / Institut für  
innovative Mikroelektronik  
Im Technologiepark 25, 15236 Frankfurt (Oder)

---

### Prozessorbaustein

---

Die Erfindung betrifft eine Chip-Anordnung, einen Kopplungsbaustein für die kontaktlose Signalübertragung zwischen einem ersten und einem zweiten Chip, einen Chip zur Verwendung in einer Chip-Anordnung, einen Wafer mit einer Vielzahl von Chip-Abschnitten sowie ein Verfahren zur kontaktlosen Kopplung eines ersten und eines zweiten Chips miteinander.

Die Anforderungen an die Verbindungstechnik elektronischer Baugruppen erhöhen sich durch steigende Taktraten. Ein Beispiel mit sehr großer Bedeutung ist die Kommunikation zwischen einem Prozessor und einem Hauptspeicher bei Computern. Die Schnittstelle zwischen Prozessor und Hauptspeicher bildet den wesentlichen Engpass für das Wachstum der Rechenleistung des Systems. In absehbarer Zeit sind 64-bit-Prozessoren mit einer Taktrate von

Systems. In absehbarer Zeit sind 64-bit-Prozessoren mit einer Taktrate von etwa 5 GHz zu erwarten. Diese könnten eine Schnittstelle zu einem Hauptspeicher mit einer Datenrate von bis zu 320 Gbit/s bedienen.

5 Eine Lösung zur Bewältigung solch hoher Datenraten wäre es, den internen Cache-Speicher des Prozessors soweit zu vergrößern, dass zumindest während der Ausführung eines Threads stets ausreichend Speicherplatz vorhanden ist, insbesondere ein Block für zusammenhängenden Code üblicher Größe. Hierbei dürfte es sich in naher Zukunft um zusammenhängende Segmente von einigen 10 MB handeln. Ein großer interner Cache wird wegen der technologischen Anforderungen für Speicher auf einem Chip mit einer CPU nicht flächenoptimal sein. Zudem verringert die Fläche des Speichers die Ausbeute des gesamten Prozessors beträchtlich.

15 Eine alternative Lösung besteht darin, einen genügend leistungsfähigen Datenpfad zu externem schnellen Speicher, beispielsweise in Form von SRAM (static random access memory) zu schaffen. Aus der US 6,496,889 B1 ist eine Chip-Anordnung bekannt, bei der Signale von einem ersten Chip zu einem zweiten Chip mit Hilfe einer kapazitiven Kopplung über einen Hochgeschwindigkeits-Datenbus bewirkt wird. Hierzu wird das Gehäuse, in dem der erste bzw. zweite Chip untergebracht ist, am Gehäuseboden mit Kopplungselementen in Form metallisch leitfähiger Streifen versehen. Das Gehäuse wird auf ein Substrat aufgesetzt, das einen kapazitiv koppelbaren Datenbus aufweist. Das Substrat weist zur Ein- und Auskopplung des Signals an den Schnittstellen mit dem ersten und zweiten Chip ebenfalls metallische Streifen auf. Auf diese Weise lassen sich mehrere IC-Bausteine auf dem Substrat anordnen und miteinander koppeln.

25 Ein Nachteil der aus der US 6,496,889 B1 bekannten Lösung ist die Kopplung der Chips über ein Signal-Substrat, das als zugleich Träger für die Chips und als Datenbus dient. Diese Technik bedingt zusätzliche Kosten für die Herstellung des Trägers. Das Signal-Substrat selbst stellt nämlich relativ hohe Anforderungen an die Fertigungsgenauigkeit, so dass es mit einer Technologie ge-  
30

fertigt werden muss, die nahe am Niveau einer Halbleitertechnologie ist. Der Flächenpreis für ein solches Signal-Substrat ist also relativ hoch.

Aus dem Dokument K. Kanda, D. D. Antono, K. Ishida, H. Kawaguchi, T. Kuroda, and T. Sakurai, "1.27-Gbps/pin, 3mW/pin Wireless Superconnect (WSC) Interface Scheme," IEEE ISSCC Digest of Technical Papers, Feb. 2003, pp. 186-187 ist eine Chip-Anordnung bekannt, bei der Chips übereinander angeordnet werden. Ein erster Chip weist auf der gesamten Fläche seiner Unterseite verteilte und ein zweiter Chip auf der gesamten Fläche seiner Oberseite verteilte Kopplungsflächen, so genannte Mini-Pads auf. Die Mini-Pads sind etwa quadratisch mit einer Seitenlänge von 20  $\mu\text{m}$ . Ihr Abstand voneinander beträgt ebenfalls 20  $\mu\text{m}$ . Die Chips werden so zu einander angeordnet, dass zwischen einander zugeordneten Mini-Pads eine kapazitive Kopplung entsteht. Dazu werden die Chips aufeinander so gelegt, dass einander zugeordnete Kopplungsflächen auf einander liegen. Zur Herstellung der kapazitiven Kopplung werden die zugeordneten Pads mit einem Abstand von 1 bis 2  $\mu\text{m}$  zueinander angeordnet. Die Oberfläche der Mini-Pads ist mit einer Oxidschicht versehen. Auf diese Weise kann auf weitere Strukturen zum Schutz vor elektrostatischer Entladung (electrostatic discharge, ESD) verzichtet werden. So wird die Kapazität eines Paares von Pads verringert, was die Signalübertragung verbessert. Eine Datenrate von 1,27 Gbit/s pro Pad bei 3 mW Verlustleistung wurde erreicht.

Nachteil der vorbekannten Chip-Anordnungen ist die Schwierigkeit, eine exakte Positionierung der Chips zueinander zu bewerkstelligen. Auch Ungenauigkeiten der Fertigung sowie Erwärmung eines Chips beim Betrieb führen zu Fehlern der Position der Mini-Pads relativ zueinander.

Gerade für Prozessoren muss die thermische Belastbarkeit jedoch sehr hoch sein. Um eine ausreichende Kopplung zu gewährleisten, bedingt dies hohe Mindestwerte für die Größe der Elektroden. Große Elektroden begrenzen die Datenrate durch kapazitive Belastung des Signalweges und durch eine Verringerung der Zahl der möglichen Datenpfade.

Weiterhin nehmen relativ große Pads einen großen Teil der zur Verfügung stehenden Chip-Fläche für die kontaktlose Kopplung ein. Dadurch wird der mechanische Aufbau des Chips im Gehäuse von der kontaktlosen Kopplung dominiert. Insbesondere bei Prozessoren wird ein großer Anteil der Chip-Fläche in aller Regel für herkömmliche Verbindungen sowie für die Kühlung benötigt. Daher ist das Vorsehen beispielsweise einer zusätzlichen kontaktlosen Kopplung zum Hauptspeicher-Chip mit den herkömmlichen Flächenanforderungen nicht kompatibel. Die kontaktlose Kopplung zusätzlich zu konventionellen Verbindungstechniken zur Signalübertragung ist daher im Prozessorbereich nicht einsetzbar.

Tatsächlich sehen weitere vorbekannte Lösungen daher vor, eine kapazitive Kopplung als vollständigen Ersatz bisheriger Verbindungstechniken einzusetzen. Vgl. hierzu D.B. Salzman, T.F. Knight, "Capacitively Coupled Multichip Modules," Proceedings of the 1994 International Conference on Multichip Modules, April 1994, pp. 487-494, oder D. Salzman, T. Knight, "Capacitive coupling solves the known good die problem," Proceedings of the 1994 Multi-Chip Module Conference, 1994, pp. 95-100, oder D.B. Salzman, T.F. Knight, "Manufacturability of capacitively coupled multichip modules," IEEE Transactions on Components, Packaging, and Manufacturing Technology, Part B: Advanced Packaging, vol. 18, no. 2, May 1995, pp. 277-281, oder D. Salzman, T. Knight, P. Franzon, "Application of capacitive coupling to switch fabrics," Proceedings of the 1995 Multi-Chip Module Conference, 1995, pp. 195 -199, oder S. Mick, J. Wilson and P. Franzon, "4 Gbps High-Density AC Coupled Interconnection", IEEE 2002 CICC Digest of Technical Papers, May 2002, oder K. Kanda, D. D. Antono, K. Ishida, H. Kawaguchi, T. Kuroda, and T. Sakurai, "1.27-Gbps/pin, 3mW/pin Wireless Superconnect (WSC) Interface Scheme," IEEE ISSCC Digest of Technical Papers, Feb. 2003, pp. 186-187

Aufgabe der vorliegenden Erfindung ist es, eine Chip-Anordnung anzugeben, die die genannten Nachteile nicht aufweist, die insbesondere eine Vereinfachung der horizontalen Positionierung der Chips ermöglicht.

Gemäß einem zweiten Aspekt der Erfindung wird die Aufgabe gelöst durch eine Chip-Anordnung mit einem ersten Chip, der mindestens eine erste Signalschnittstelle mit längs einer ersten Linie in einer ersten Anzahldichte angeordneten ersten Kopplungselementen aufweist, und mit mindestens einem  
5 zweiten Chip, der mindestens eine zweite Signalschnittstelle mit längs einer zweiten Linie in einer zweiten Anzahldichte angeordneten zweiten Kopplungselementen aufweist, und mit einem Kopplungsbaustein, der auf einem Substrat eine Kopplungseinheit mit längs einer dritten Linie in einer dritten Anzahldichte angeordneten dritten Kopplungselementen sowie mit längs einer  
10 vierten Linie in einer vierten Anzahldichte angeordneten vierten Kopplungselementen aufweist, wobei die dritten Kopplungselemente jeweils mit den vierten Kopplungselementen elektrisch leitend verbunden sind,

- bei der die ersten, zweiten und dritten und vierten Kopplungselemente ausgebildet sind, eine kontaktlose Signalübertragung zwischen der ersten  
15 und der zweiten Signalschnittstelle zu ermöglichen,
- bei der der erste und der zweite Chip sowie der Kopplungsbaustein so zueinander angeordnet sind, dass dritte Kopplungselemente der Kopplungseinheit und erste Kopplungselemente der ersten Signalschnittstelle sowie vierte Kopplungselemente der Kopplungseinheit und zweite Kopplungselemente der zweiten Signalschnittstelle jeweils miteinander kontaktlos Signale übertragen können,  
20
- bei der für die Längserstreckungen jeweils der ersten und dritten Kopplungselemente in Abstandsrichtung der Kopplungselemente längs der ihr zugeordneten Linie gilt, dass mindestens eine der Längserstreckungen größer ist als die Länge der Überlappung beider Längserstreckungen,  
25
- bei der für die Längserstreckungen jeweils der zweiten und vierten Kopplungselemente in Abstandsrichtung der Kopplungselemente längs der ihr zugeordneten Linie gilt, dass mindestens eine der Längserstreckungen größer ist als die Länge der Überlappung beider Längserstreckungen,

- und bei der der Kopplungsbaustein eine größere Anzahldichte an Kopplungselementen aufweist als die erste oder die zweite Signalschnittstelle oder als die erste und die zweite Signalschnittstelle.

Die Chip-Anordnungen gemäß dem ersten und dem zweiten Aspekt der Erfindung gehen von dem Ansatz aus, Chips mit einem sehr breiten Datenbus, d.h. 5 weit über 100 Signale, mit sehr hoher Anzahldichte, d.h. mindesten 40 Signale pro Millimeter der Längserstreckung der Signalschnittstelle, für die Signalübertragung zu koppeln, ohne dafür eine laterale Positionierung mit Genauigkeiten von 25  $\mu\text{m}$  oder darunter zu benötigen. Vielmehr kann die Positionierung so- 10 gar deutlich ungenauer sein als das Rastermaß, also der Kehrwert der Anzahldichte. Außerdem soll zur Verbindung für diesen Datenbus kein großflächiges Signal-Substrat mit hoher Anzahldichte benötigt werden, sondern entweder gar kein signalführender Baustein zusätzlich zu den Chips, oder ein 15 Kopplungsbaustein mit einer Kopplungseinheit, welche eine kleinere Fläche hat als die Chipflächen. Auf diese Weise können die Herstellungskosten der erfindungsgemäßen Chip-Anordnungen im Vergleich mit bekannten Lösungen gering gehalten werden.

Die erfindungsgemäße Lösung ermöglicht eine besonders einfache Positionierung bei der Herstellung der Chip-Anordnung kontaktlosen Signalübertragung. 20 Gleichzeitig kann mit der erfindungsgemäßen Lösung eine hohe Dichte von Kopplungselementen erzielt werden, die einen geringen Flächenbedarf auf dem Chip beansprucht. Damit kann die erfindungsgemäße Anordnung neben einer kontaktlosen Signalübertragung zwischen dem ersten und zweiten Chip auch konventionelle Verbindungstechniken aufweisen.

25 Die erfindungsgemäße Lösung fußt auf folgenden Überlegungen: Damit eine Kopplung zwischen der ersten und zweiten Signalschnittstelle für die kontaktlose Signalübertragung auf einfache Weise sicher erfolgen kann, weist eine der Signalschnittstellen eine größere Anzahldichte an Kopplungselementen auf als die andere und hat eine der Signalschnittstellen eine größere Längs- 30 erstreckung als die Überlappung beider Längserstreckungen. Bringt man die

Signalschnittstellen des ersten und des zweiten Chips in eine solche Überlap-  
pung, so erlaubt die erfindungsgemäße Lösung eine gewisse, für die Praxis  
wesentliche Unschärfe bei der Positionierung der Signalschnittstellen relativ  
zueinander. Die höhere Anzahldichte an Kopplungselementen auf einem Chip  
5 gestattet eine Anordnung der Signalschnittstellen relativ zueinander, bei der  
die Zuordnung der ersten und zweiten Kopplungselemente nicht vorbestimmt  
ist. Die höhere Anzahldichte an Kopplungselementen sollte vorzugsweise so  
gewählt sein, dass bei jedem möglichen Versatz der Signalschnittstellen zu-  
einander dennoch immer mindestens ein, vorzugsweise mehrere Kopplungs-  
10 elemente der Signalschnittstelle mit höherer Dichte eine Kopplung zu einem  
Kopplungselement der Signalschnittstelle mit geringerer Anzahldichte an  
Kopplungselementen aufweist. Es muss bei der erfindungsgemäßen Chip-  
Anordnung nicht mehr ein bestimmtes Kopplungselement des zweiten Chips  
in Übereinstimmung mit einem bestimmten Kopplungselement des zweiten  
15 Chips gebracht werden. Diese Maßnahme schafft eine hohe Toleranz bei der  
Positionierung der ersten und zweiten Kopplungselemente relativ zu einander  
in der Abstandsrichtung.

Der Einfachheit der Darstellung halber wird nachfolgend angenommen, dass  
die zweite Signalschnittstelle eine größere Anzahldichte an Kopplungselemen-  
20 ten aufweist als die erste. Es versteht sich, dass die Betrachtungen ebenso  
bei umgekehrten Verhältnissen gelten. Beispielsweise kann der Abstand zw-  
ischen zwei zweiten Kopplungselementen kleiner gewählt werden als die Brei-  
tenerstreckung eines ersten Kopplungselementes in der Abstandsrichtung der  
zweiten Kopplungselemente. Um bei der Positionierung der Signalschnittstel-  
25 len relativ zueinander genügend Spielraum zu haben, ist erfindungsgemäß  
eine der Signalschnittstellen in Längsrichtung, das heißt längs der Linie, ent-  
lang der die Kopplungselemente angeordnet sind, größer als die Überlappung  
beider Längserstreckungen. Beispielsweise kann hierfür die eine Längserstre-  
ckung größer sein als die andere. Vorzugsweise ist dabei die Signalschnitt-  
30 stelle, welche eine größere Anzahldichte an Kopplungselementen aufweist,  
auch diejenige, welche eine höhere Längserstreckung hat.



Dabei kommt es für den Erfolg der kontaktlosen Kopplung zwischen dem ersten und dem zweiten Chip nicht darauf an, ob ein zweites Kopplungselement oder ob mehrere zweite Kopplungselemente mit einem ersten Kopplungselement gekoppelt werden. Es genügt, dass beliebige, im allgemeinen mehrere  
5 zweite Kopplungselemente jeweils einem ersten Kopplungselement zugeordnet sind. Eine kontaktlose Signalübertragung kann also zwischen auf der einen Seite je einem ersten Kopplungselement der ersten Signalschnittstelle und auf der anderen Seite mindestens einem zweiten Kopplungselement, alternativ mindestens zwei zweiten Kopplungselementen, alternativ zum Teil  
10 einem zweiten Kopplungselement und zum Teil mindestens zwei zweiten Kopplungselementen der zweiten Signalschnittstelle erfolgen.

Weiterhin können die zweiten Kopplungselemente in ihrer Breitenerstreckung in der Abstandsrichtung schmaler ausgebildet sein als der Abstand zwischen den ersten Kopplungselementen. Damit wird sichergestellt, dass die zweiten  
15 Kopplungselemente keine Kopplung zwischen benachbarten ersten Kopplungselementen ein und desselben Chips bewirken.

Bei der erfindungsgemäßen Chip-Anordnung ist es aufgrund dieser Verhältnisse nicht mehr wichtig, welches zweite Kopplungselement mit welchem ersten Kopplungselement koppelt, solange nur überhaupt hinreichend viele Kopplungselemente der ersten und der zweiten Signalschnittstelle jeweils miteinander koppeln, um die gewünschte Breite des Datenbusses zu erreichen. Eine  
20 Zuordnung der von den Kopplungselementen übertragenen Signale zu den Signalen des Datenbusses, ggf. außerdem mit einer Trennung der Signale durch Signalverarbeitung, wird mit Hilfe zusätzlicher Baugruppen, die auf mindestens einem der Chips vorhanden sind, ermöglicht.  
25

Die erfindungsgemäße Chip-Anordnung zeichnet sich daher durch eine einfache und dabei hinreichend präzise Positionierbarkeit ihrer Komponenten relativ zueinander aus. Die Positionierbarkeit ist vor allem in Abstandsrichtung der Kopplungselemente gegenüber vorbekannten Lösungen vereinfacht. Dies ist  
30 insbesondere von Bedeutung, weil die ersten und zweiten Kopplungselemente

besonders schmal und dicht in Mikrometer-Größenordnungen ausgebildet sein können. Solche Dimensionen erfordern normalerweise hoch präzise Positionierungswerkzeuge. Dagegen bietet die Erfindung eine ganz wesentliche Erleichterung der Positionierung der Chips einer Chip-Anordnung. Ein hoher maschineller Aufwand für die Positionierung ist daher verzichtbar.

Bei der Chip-Anordnung gemäß dem ersten Aspekt der vorliegenden Erfindung können der erste und der zweite Chip ohne Schwierigkeit so zueinander angeordnet werden, dass eine kontaktlose Signalübertragung zwischen je einem ersten Kopplungselement und mindestens einem zweiten Kopplungselement erfolgen kann. Die Kopplung erfolgt direkt, ohne Vermittlung eines Signal-Substrats oder dergleichen.

Bei der Chip-Anordnung gemäß dem zweiten Aspekt der Erfindung ist ein erfindungsgemäßer Kopplungsbaustein Träger der dritten und vierten Kopplungselemente. Der erste und der zweite Chip weisen zur Kopplung miteinander über den Kopplungsbaustein eine erste bzw. eine zweite Signalschnittstelle auf. Bei dem Kopplungsbaustein weist die Kopplungseinheit eine größere Anzahldichte an Kopplungselementen auf als die erste oder die zweite Signalschnittstelle oder als die erste und die zweite Signalschnittstelle. Weiterhin hat die Kopplungseinheit vorzugsweise eine höhere Längserstreckung als die erste oder zweite Signalschnittstelle oder als die erste und die zweite Signalschnittstelle. Zusätzlich zu den oben bereits genannten Merkmalen der zweiten Kopplungselemente sind die dritten und vierten Kopplungselemente auf dem Kopplungsbaustein miteinander elektrisch leitend verbunden, vorzugsweise in Streifenform, um den Abstand zwischen den ersten Signalschnittstellen der beiden Chips zu überbrücken. In einer Variante können die dritten und vierten Kopplungselemente auch jeweils so durch Streifen verbunden sein, dass sie jeweils ein gemeinsames Kopplungselement bilden. In beiden Fällen sind die Streifen vorzugsweise parallel zueinander angeordnet.

Bei dieser erfindungsgemäßen Chip-Anordnung können zunächst die beiden Chips relativ zueinander positioniert werden. Anschließend kann durch Positi-

onierung des Kopplungsbausteins die Kopplung zwischen erstem und zweitem Chip bewirkt werden. Dabei wird die Positionierung in Abstands-Richtung durch die höhere Dichte zweiter Kopplungselemente im Vergleich mit der Dichte erster Kopplungselemente auf dem ersten und zweiten Chip ganz wesentlich erleichtert. Alternativ können auch die Chips auf dem Kopplungsbaustein positioniert werden. Der Kopplungsbaustein kann dabei insbesondere auch einen Teil des Trägers für die Chips bilden.

Die laterale Positionierung der zweiten Kopplungselemente (mit höherer Anzahldichte) in einer Richtung senkrecht zur Abstandsrichtung der ersten Kopplungselemente kann in beiden erfindungsgemäßen Chip-Anordnungen durch eine streifenförmige Ausbildung der ersten Kopplungselemente erleichtert werden. Die Streifenform der ersten Kopplungselemente ist jedoch nicht zwingend. Es können auch erste Kopplungselemente in anderer Form vorgesehen sein, beispielsweise quadratischer Form, ovaler oder Ellipsenform oder in Kreisform. Dabei können zur Erleichterung der Positionierung mehrere Reihen erster Kopplungselemente in einer matrixförmigen Anordnung vorgesehen sein. Ist diese Matrix beispielsweise längs einer Kante eines Chips angeordnet und verläuft eine „Reihe“ der Matrix längs diese Kante, so genügt für die Kopplung ein Kopplungselement einer „Spalte“. Auf diese Weise besteht auch in Richtung senkrecht zur Kante eine gewisse Toleranz bei der Positionierung.

Die erfindungsgemäße Chip-Anordnung kann mehr als zwei Chips umfassen. Dabei kann vorgesehen sein, dass eine Signalschnittstelle eines ersten Chips für eine kontaktlose Signalübertragung mit mehreren Chips ausgebildet ist. Diese Chips können jeweils eine Teilanzahl von Kopplungselementen der Signalschnittstelle des ersten Chips nutzen. Beispielsweise kann die Hälfte der Kopplungselemente der Signalschnittstelle des ersten Chips für einen kontaktlosen Signalaustausch mit einem zweiten Chip genutzt werden. Die andere Hälfte kann zum kontaktlosen Signalaustausch mit einem dritten Chip genutzt werden. In einer solchen Anordnung kann der erste Chip beispielsweise erste Kopplungselemente, also Kopplungselemente mit einer geringeren Dichte aufweisen. Der zweite und der dritte Chip weisen dann zweite Kopplungs-

elemente, also Kopplungselemente mit einer hohen Dichte auf. Diese Anordnung entspricht einer Chip-Anordnung gemäß dem ersten Aspekt der Erfindung. Ein Chip kann auch mehrere solcher Signalschnittstellen aufweisen, beispielsweise eine in Sende- und eine in Empfangsrichtung, oder jeweils eine zu einem weiteren Chip. Solche Anordnungen sind zwar signaltechnisch schwerer zu handhaben und daher aufwendiger im Betrieb, bieten aber den Vorteil einer besonders hohen Packungsdichte.

In einer Chip-Anordnung gemäß dem zweiten Aspekt der Erfindung mit drei Chips weisen alle drei Chips erste oder zweite Kopplungselemente auf. Sie werden so zueinander angeordnet, dass sie mit Hilfe des Kopplungsbausteines, der nachfolgend auch als Brücke bezeichnet wird, gekoppelt werden können. Alternativ können zwei Kopplungsbausteine verwendet werden. Dabei können auf dem ersten Chip zwei Signalschnittstellen vorgesehen sein, deren eine mit dem zweiten Chip und deren andere mit dem dritten Chip gekoppelt wird. In einem alternativen Ausführungsbeispiel einer Chip-Anordnung mit drei Chips ist der erste Chip mit dem zweiten Chip und der zweite Chip mit dem dritten Chip gekoppelt. Diese Beispiele zeigen, dass auf der Basis der vorliegenden Erfindung allgemein eine Kopplung mehrerer Chips in unterschiedlichen Konfigurationen möglich ist.

Die erfindungsgemäße Chip-Anordnung beruht auf der Verwendung neuartiger Signalschnittstellen. Diese können auf einem Chip ausschließlich vorgesehen sein, alternativ aber auch zusätzlich zu vorbekannten Kopplungselementen wie beispielsweise herkömmlichen Bond-Pads.

Ein weiterer Vorteil der erfindungsgemäßen Lösung besteht in diesem Zusammenhang darin, dass die erfindungsgemäßen Signalschnittstellen insbesondere mit einer im Vergleich zu vorbekannten Lösungen sehr hohen Dichte an Kopplungselementen gefertigt werden können. So liegt das Rastermaß, also die Summe von Abstand und Breite der Kopplungselemente, in einem Ausführungsbeispiel bei der ersten Signalschnittstelle in der Größenordnung von 10 µm. Dieses Rastermaß kann in alternativen Ausführungsbeispielen nur

5, aber auch bis zu 25  $\mu\text{m}$  betragen. Die Größenordnung von 10  $\mu\text{m}$ , die für das Rastermaß der ersten Signalschnittstelle problemlos realisierbar ist, ist deutlich geringer als das Rastermaß herkömmlicher Bond-Pads und ermöglicht eine kontaktlose Kopplung von Chips über einen breiten Datenbus mit sehr hohem Datendurchsatz. Für die Chip-Fertigung stellen derartige Signalschnittstellen kein Problem dar. Mit der erfindungsgemäßen Chip-Anordnung gemäß dem ersten oder dem zweiten Aspekt werden auch die Kontaktierungsprobleme bei der Herstellung einer Chip-Anordnung gelöst.

Die ersten und zweiten Kopplungselemente sind in einem Ausführungsbeispiel der Erfindung ausgebildet, die Kontakte zur Signalübertragung mit Hilfe kapazitiver Kopplung zwischen jeweils einem ersten und einem oder mehreren zweiten Kopplungselementen zu bewirken. Die Impedanz der kapazitiven Verbindung muss dabei klein genug sein relativ zur minimalen Impedanz zwischen den Leitbahnen und zu den minimalen Impedanzen gegen Masse, so dass die Dämpfung über das gesamte Verbindungssystem aus der Sicht des Rauschabstandes und des Übersprechens noch tolerierbar ist. Diese Forderung nach hinreichend hoher Durchgangskapazität ist erfüllbar, wenn die ersten und zweiten Kopplungselemente genügend dicht planar aufeinander aufliegen.

Eine Verbesserung der kapazitiven Kopplung wird erreicht, wenn ein Füllstoff mit hoher Dielektrizitätskonstante zwischen den ersten und zweiten Kopplungselementen angeordnet ist. Der Füllstoff kann eine kapazitive Überbrückung von Lücken und Unregelmäßigkeiten bilden.

Die ersten und zweiten Kopplungselemente können dann durch eine dünne isolierende Schicht geschützt werden. Diese kann eine dünne Passivierungsschicht sein, eine spontane oder induzierte Oxidschicht oder eine zusätzlich aufgetragene Schicht. Dies hat bei hohen Stückzahlen keinen oder wenig Einfluss auf die Fertigungskosten, da die Passivierungsschicht bereits alles außer den Kopplungselementen maskiert, sodass die hierfür nötige Maske sehr grob sein kann. Sie muss lediglich Bereiche normaler Kopplungselemente von de-

nen der erfindungsgemäßen ersten bzw. zweiten Kopplungselemente trennen. Der durch die Isolation erzeugte Schutz erlaubt es, wesentlich kleinere oder gar keine ESD-Schutzstrukturen zu verwenden, so dass die parasitäre kapazitive Belastung sinkt, was zu höherer Bandbreite und kleiner Verlustleistung führt.

Alternativ kann die kontaktlose Signalübertragung auch mit Hilfe induktiver, alternativ kapazitiver und induktiver Kopplung erfolgen. Die kontaktlose Signalübertragung kann auch den Charakter einer Übertragung über eine Funkstrecke annehmen. Hierbei wirken die sender- und empfängerseitigen Kopplungselemente wie Antennen. Diese Art der kontaktlosen Signalübertragung wird hier als elektromagnetisch bezeichnet.

Bei einer bevorzugten Ausführungsform der Erfindung ist die erste Signalschnittstelle längs einer Kante des ersten Chips und die zweite Signalschnittstelle längs einer Kante des zweiten Chips vorgesehen. Diese Kanten des ersten und zweiten Chips sind bei dieser Ausführungsform einander zugewandt angeordnet. Die Anordnung längs einer Kante ist Platz sparend und lässt große Chipoberflächenanteile frei verfügbar für andere Funktionen, wie beispielsweise Kühlung oder Kontaktierung mit herkömmlichen Techniken.

In einem Ausführungsbeispiel gemäß dem ersten Aspekt der Erfindung liegt der zweite Chip zumindest teilweise auf dem ersten Chip auf. Auf diese Weise werden die Chips direkt miteinander kontaktlos gekoppelt. Ein separater Kopplungsbaustein ist nicht erforderlich. Der Vorteil dieser Anordnung liegt darin, dass die zweiten Kopplungselemente in ihrer Längserstreckung kürzer ausgebildet werden können als bei der Anordnung mit einem Kopplungsbaustein. Bei einer solchen Anordnung kann der erste Chip (z. B. der Prozessor) als flip-chip ausgebildet sein.

Grundsätzlich ist eine solche Anordnung auch bei einer Chip-Anordnung gemäß dem zweiten Aspekt der Erfindung möglich, erfordert jedoch eine spezielle, aufwändigere Ausbildung des Kopplungsbausteins. Denn der Kopplungs-

baustein liegt hier zwischen den Chips und muss mit dem einem Chip auf seiner Oberseite und mit dem anderen Chip auf seiner Unterseite koppeln. Die zweiten Kopplungselemente müssen also auf beiden Seiten des Kopplungsbausteins vorgesehen sein und ein Kopplungselement der Oberseite mit dem entsprechenden Kopplungselement der Unterseite verbunden sein. Das kann bei einem plättchenförmigen Kopplungsbaustein beispielsweise erreicht werden, indem die Kopplungselemente sich auch über eine Seitenkante des Kopplungsbausteins hinweg von der Unterseite zur Oberseite fortsetzen.

In einem weiteren Ausführungsbeispiel gemäß dem ersten Aspekt der Erfindung ist eine Anordnung von beiden Chips auf einer Trägerfläche nebeneinander vorgesehen. Die Kopplungselemente sind so ausgebildet, dass sie jeweils über eine Seitenfläche des Chips miteinander koppeln können. Dies geschieht beispielsweise, indem Spulen auf den Chips so angeordnet sind, dass ihr Magnetfeld durch eine Seitenfläche des jeweiligen Chips verläuft. Solche Spulen mit einer horizontalen Achse des Magnetfeldes können im Metallsystem von Chips erzeugt werden, indem Durchkontaktierungen zwischen den Metall-Ebenen als senkrechte Leiterzüge verwendet werden. Diese Anordnung hat den Vorteil, dass weitere auf einem Chip oder auf beiden Chips vorgesehene konventionelle Kopplungselemente wie Bond-pads mit herkömmlicher Technik einfach kontaktiert werden können.

In einer bevorzugten Ausführungsform der Chip-Anordnung gemäß dem zweiten Aspekt der Erfindung ist ebenfalls eine Anordnung von beiden Chips auf einer Trägerfläche nebeneinander vorgesehen. Beispielsweise können beide Chips ihre Kopplungselemente auf der von der Trägerfläche abgewandten Seite haben. Die Kopplungselemente beider Chips werden dann beispielsweise nach obenweisend angeordnet sein. Wichtig ist, dass die Chips senkrecht zur Trägerfläche (in z-Richtung) gut abgestimmt sind, damit der Kopplungsbaustein, die Brücke, in etwa plan aufliegen kann.

Bei einer bevorzugten Ausführungsform der Erfindung lässt sich die Anzahl der Kopplungselemente der zweiten Signalschnittstelle, also der Signal-

schnittstelle mit der höheren Anzahldicke, die in dieser Ausführungsform außerdem eine höhere Längserstreckung hat, zur Anzahl  $N_1$  der Kopplungselemente der Signalschnittstelle mit der geringeren Anzahldicke als  $N_2 = g \cdot N_1 + X$  darstellen. Dabei ist  $g$  eine Zahl  $> 1$  und  $X$  die Anzahl der Kopplungselemente, die in dem überschießenden Längsabschnitt der Signalschnittstelle liegen, welche eine höhere Längserstreckung hat. Hat beispielsweise die erste Signalschnittstelle  $N_1 = 100$  Kopplungselemente im  $10 \mu\text{m}$ -Raster, die zweite Signalschnittstelle auf dieser Breite 200 Kopplungselemente im  $5 \mu\text{m}$ -Raster und darüber hinaus an den längsseitigen Rändern zusätzlich je 10, also insgesamt 20, Kopplungselemente an beiden Rändern, um grobe Versetzungen aufzufangen, so beträgt in diesem Beispiel  $g = 2$  und  $X = 20$ .

In einer weiteren bevorzugten Ausführungsform weist die Signalschnittstelle desjenigen Chips, welcher im Signalfluss zwischen dem ersten und dem zweiten Chip einen Empfänger bildet (nachfolgend Empfänger-Chip), Kopplungselemente mit der höheren Anzahldicke auf. Auf diese Weise kann die Signalübertragung weniger aufwendig betrieben werden. Da ein angeschlossener Sender leichter zu detektieren ist als ein angeschlossener Empfänger, ist es sinnvoll, dass der Chip mit der Überzahl zweiter Kopplungselemente auf der jeweiligen Empfängerseite vorgesehen ist.

In einer bevorzugten Ausführungsform ist auf dem Chip, der eine Überzahl zweiter Kopplungselemente aufweist, eine Empfangsauswahlschaltung vorgesehen. Die Empfangs-Auswahlschaltung weist für jedes Kopplungselement einen mit ihm verbundenen Eingang auf und ist ausgebildet, aus an ihren Eingängen anliegenden Eingangssignalen anhand vordefinierter Signalkriterien mit aktiven Kopplungselementen verbundene Eingänge zu ermitteln und nur diejenigen Eingangssignale auszugeben, die von den aktiven Kopplungselementen empfangen werden.

Anstelle der Erkennung einer Signalaktivität kann das Auswahlkriterium für ein aktives Kopplungselement auch ein Signal mit bestimmten Erkennungszeichen sein, beispielsweise ein Pegelwechsel mit einer bestimmten Phasenlage



relativ zu allen anderen Ausgangssignalen. Auf diese Weise kann der Rand des Signalvektors eindeutig gekennzeichnet werden.

Der Chip ohne Überzahl erster Kopplungselemente weist in einer bevorzugten Ausführungsform daher je ein Randkopplungselement an den Enden seiner ersten Signalschnittstelle auf und ist ausgebildet, an die Randkopplungselemente ein vordefiniertes Randsignal anzulegen.

In einer bevorzugten Ausführungsform ist auf dem Empfänger-Chip eine der Signalschnittstelle nachgeschaltete Filterschaltung vorgesehen, die ausgebildet ist, von senderseitigen Kopplungselementen ausgesandte Signale anhand der von den empfängerseitigen Kopplungselementen empfangenen Signale zu rekonstruieren.

Die Filterschaltung kann vorwiegend nach geometrischen oder vorwiegend nach einem signalvereinbarenden Prinzip oder nach einer Mischform beider arbeiten. Bei einer vorwiegend nach geometrischer Selektion der empfängerseitigen Kopplungselemente ausgerichteten Filterschaltung weist diese eine Anzahl von Wichtungselementen auf, die jeweils ausgebildet sind, von mehreren empfängerseitigen Kopplungselementen empfangene Signale mit veränderbaren Wichtungsfaktoren zu multiplizieren und die so gewichteten Signale zu addieren.

Dabei sind in einer bevorzugten Ausführungsform die empfängerseitigen Kopplungselemente mit mehreren Wichtungselementen verbunden. Die Gesamtzahl der Wichtungselemente ist vorzugsweise gleich der Anzahl der senderseitig vorgesehenen Kopplungselemente. Die Wichtungselemente dienen also der Rekonstruktion der Trennung der durch die senderseitigen Kopplungselemente gebildeten Übertragungskanäle.

Vorzugsweise ist eine mit den Kopplungselementen und der Filterschaltung verbundene Steuereinheit vorgesehen, die ausgebildet ist, die Wichtungsfaktoren zu bestimmen. Die Steuereinheit kann beispielsweise ausgebildet sein,

für jedes Wichtungselement die an den mit dem Filter verbundenen, empfangenseitigen Kopplungselementen empfangenen Signale jeweils mit einem vordefinierten Signalmuster zu vergleichen und den Kopplungselementen jeweils einen vom Vergleichsergebnis abhängigen Wichtungsfaktor zuzuordnen.

- 5 In einer einfachen Ausführungsform ist die Steuereinheit ausgebildet, pro Wichtungselement maximal einem bis drei Kopplungselementen einen von null verschiedenen Wichtungsfaktor zuzuordnen, derart, dass die Summe aller Wichtungsfaktoren pro Wichtungselement 1 beträgt.

10 In einer vorwiegend unter dem Aspekt der Signalverarbeitung gestalteten Ausführungsform weist die Filterschaltung zusätzlich oder alternativ eine Anzahl Filterbänke auf, wobei jede Filterbank eingangsseitig mit einer Anzahl Kopplungselementen verbunden ist. Vorzugsweise weist jede Filterbank eine Anzahl Filter auf, deren jedes eingangsseitig mit einem Kopplungselement verbunden ist. Dabei ist jeder Filter beispielsweise ausgebildet, ein Ausgangssignal abzugeben, das von einer gewichteten Summe des aktuellen und einer  
15 Anzahl zeitlich vorangegangener Signale an seinem Eingang abhängt. Vorzugsweise ist also das Ausgangssignal eines Filters dieser Art entsprechend

folgender Formel zu bestimmen:

$$A(z) = \sum_{j=1}^r S(j) \cdot w(j, z)$$

20 , wobei  $S(j)$  ein an einem Filtereingang in einem Zeitschritt  $j$  anliegendes Signal ist,  $r$  die Gesamtzahl der berücksichtigten Zeitschritte,  $w$  ein vom jeweiligen Zeitschritt  $j$  abhängiger Wichtungsfaktor und  $z$  ein das Filter bezeichnender Index. Ein solches Filter weist beispielsweise eine Signalverzögerungskette (delay line) mit  $r$ -Verzögerungselementen,  $r$ -Multiplizierern und einem Addierer auf. Jedem bis auf das letzte Verzögerungselement ist parallel ein Multiplizierer und ein Verzögerungselement nachgeschaltet. Dem letzten Verzögerungsglied ist selbst-  
25 verständlich ein Multiplizierer nachgeschaltet. Die Ausgänge der Multiplizierer sind mit parallelen Eingängen des Summierers verbunden.

Bevorzugt weist jede Filterbank eine den Filtern nachgeschaltete Wichtungseinheit auf, die ausgebildet ist, von den Filtern der jeweiligen Filterbank emp-

fangene Signale mit veränderbaren Wichtungsfaktoren zu multiplizieren und die so gewichteten Signale zu addieren. Die Bestimmung der Wichtungsfaktoren erfolgt vorzugsweise wiederum mit einer Steuereinheit. Die Steuereinheit ist vorzugsweise ausgebildet, in einer Trainingsphase die an den empfänger-

5 seitigen Kopplungselementen anliegenden Signale einer Korrelation mit einem oder mehreren bekannten Signalmustern zu unterziehen und anhand des Korrelationsergebnisses die Wichtungsfaktoren der Filter und der Wichtungsschaltung zu bestimmen. Die Wichtungsfaktoren der Filter sind andere als die der Wichtungsschaltung.

10 Gemäß einem dritten Aspekt der Erfindung wird ein Kopplungsbaustein zur Verfügung gestellt für die kontaktlose Signalübertragung zwischen einem ersten und einem zweiten Chip in einer Chip-Anordnung gemäß dem zweiten Aspekt der Erfindung.

Der erfindungsgemäße Kopplungsbaustein weist ein Substrat und eine Kopplungseinheit auf. Die Kopplungseinheit hat eine Vielzahl darauf vorgesehener

15 dritter und vierter Kopplungselemente in Form elektrisch leitfähiger, in einer dritten und vierten Anzahldichte angeordneter Kopplungselemente.

Die Anzahldichte dieser Kopplungselemente ist höher als die der auf einem oder beiden zu koppelnden Chips vorgesehenen Kopplungselemente. Der erfindungsgemäße Kopplungsbaustein ist gegenüber herkömmlichen Signal-

20 Substraten deutlich vereinfacht und ermöglicht eine flexible Anordnung zur kontaktlosen Signalübertragung. Der Kopplungsbaustein kann beispielsweise auf zwei nebeneinander angeordneten Chips aufgelegt werden. Alternativ ist es ebenso möglich, den Kopplungsbaustein als Teil eines Trägers für die zu

25 koppelnden Chips auszubilden. Hierbei müssen die zweiten Kopplungselemente nur in einem vorbestimmten Abschnitt vorgesehen sein. Die Chips können dann mit ihren ersten Kontaktelementen nach untenweisend auf den Kopplungsbaustein aufgelegt und positioniert werden.

Bevorzugt ist der Abstand der dritten Kopplungselemente voneinander in Richtung senkrecht zur Streifen-Längsrichtung geringer als die Breite chipseitig vorgesehener erster Kopplungselemente sowie die Breitenerstreckung der zweiten Kopplungselemente in Abstandsrichtung geringer als der Abstand der  
5 chipseitig vorgesehenen ersten Kopplungselemente voneinander.

Bei einer weiteren bevorzugten Ausführungsform des erfindungsgemäßen Kopplungsbausteins ist der Abstand der dritten Kopplungselemente sowie ihre Breitenerstreckung so gewählt, dass ein drittes Kopplungselement und der Abstand zu einem benachbarten dritten Kopplungselement insgesamt maximal 5  $\mu\text{m}$  einnehmen. Ein solches Rastermaß stellt bei der Herstellung kein Problem dar, bietet aber die Möglichkeit einer Signalübertragung mit hohem Durchsatz auf geringem Raum.  
10

Das Rastermaß beträgt in einem weiteren Ausführungsbeispiel sogar nur maximal 2,5  $\mu\text{m}$ . Vorzugsweise ist der Abstand der dritten Kopplungselemente größer als ihre Breitenerstreckung.  
15

Weitere Ausführungsformen des erfindungsgemäßen Kopplungsbausteins ergeben sich aus der Beschreibung der erfindungsgemäßen Chip-Anordnung gemäß dem zweiten Aspekt der Erfindung.

Gemäß einem vierten Aspekt der Erfindung wird ein Chip zur Verwendung in einer Chip-Anordnung gemäß dem ersten oder zweiten Aspekt der Erfindung bereitgestellt. Der erfindungsgemäße Chip weist eine erste Signalschnittstelle für eine kontaktlose Signalübertragung auf. Die erste Signalschnittstelle hat erste Kopplungselemente, die längs einer ersten Linie in einer ersten Anzahldichte angeordnet sind. Alternativ ist mindestens eine zweite Signalschnittstelle vorgesehen mit längs einer zweiten Linie in einer zweiten Anzahldichte angeordneten zweiten Kopplungselementen. Weiter alternativ ist mindestens eine erste und mindestens eine zweite Signalschnittstelle vorgesehen. Die Kopplungselemente sind bevorzugt elektrisch leitfähige und parallel zueinander angeordnete Streifen.  
20  
25

Der zweite Chip kann in einer Chip-Anordnung gemäß dem ersten Aspekt der Erfindung verwendet werden, wenn er eine erste oder eine zweite Signalschnittstelle oder beide Typen von Signalschnittstellen aufweist. In einer Chip-Anordnung gemäß dem zweiten Aspekt der Erfindung kann der erfindungsgemäße Chip verwendet werden, wenn er eine erste Signalschnittstelle aufweist. Es versteht sich, dass ein Chip mehrere Signalschnittstellen gemäß der Erfindung aufweisen kann.

Die Anordnung der Signalschnittstelle längs einer Kante bietet in einem Ausführungsbeispiel des erfindungsgemäßen Chips eine platzsparende Möglichkeit, die erfindungsgemäße Chip-Anordnung neben alternativen Verbindungstechniken zu verwenden. Je nach Anzahl der ersten bzw. zweiten Kopplungselemente und gewähltem Rastermaß wird eine ganze Kantenlänge oder auch nur ein Kantenabschnitt für eine Signalschnittstelle benötigt.

Die Positionierung eines zweiten Chips oder eines Kopplungsbausteins auf der Chip-Oberfläche wird in einer Ausführungsform erleichtert, bei der der Chip eine Bezugskante aufweist. Hierbei kann es sich um eine Sägekante des Chips, zum Beispiel die obere Kante, handeln. In diesem Fall können die Chips mittels eines oberen Anschlages zueinander positioniert werden. Ohne die erfindungsgemäße Toleranz gegenüber Positionsungenauigkeiten durch redundante Kopplungselemente würde dies voraussetzen, dass der Abstand der Kopplungselemente zur Bezugskante mit einem Fehler deutlich unterhalb eines halben Rastermaßes definierbar ist, also beispielsweise mit 1  $\mu\text{m}$  Toleranz. Ein Vereinzeln von Chips mit einer solchen Genauigkeit ist jedoch schwierig. Eine Nachbearbeitung wird in der Regel erforderlich sein. Dadurch wird die Fertigung eines Chips für die erfindungsgemäße Chip-Anordnung eine aufwendige Präzisionsarbeit. Mit der erfindungsgemäßen Toleranz gegenüber Positionsungenauigkeiten durch redundante Kopplungselemente kann die Toleranz jedoch weit größer sein, beispielsweise 50  $\mu\text{m}$ . Dadurch kann eine Sägekante durchaus als Bezugskante dienen.

Präziser ist es, eine lithographisch aufgebrachte Struktur als Bezugskante zu verwenden, da diese eine viel höhere Genauigkeit als eine Sägekante haben kann. Die lithographische Struktur könnte eine Schicht sein, die dick genug aufgebracht werden kann, um eine nutzbare mechanische Führung zu bieten.

5 Bei dieser Ausführungsform kann in einer Chip-Anordnung gemäß dem zweiten Aspekt der Erfindung der Kopplungsbaustein selbst mit einer Kante als Bezug dienen, an dem sich beide Chips zueinander ausrichten. Dazu muss der Kopplungsbaustein selbst eine präzise, gerade und orthogonale Kante aufweisen. Er kann also insbesondere nicht aus dehnbarem Material bestehen. Geeignet wäre beispielsweise ein schmaler Siliziumstreifen. Alternativ  
10 kann ein zusätzliches starres Objekt an einer anderen Stelle zum mechanischen Justieren vorgesehen sein. In diesem Fall kann der Kopplungsbaustein auch mechanisch flexibel sein.

Um die Kopplung benachbarter Kopplungselemente miteinander zu vermin-  
15 dern, werden in einem bevorzugten Ausführungsbeispiel des erfindungsgemäßen Chips zwischen den ersten Kopplungselementen Metallelemente vorgesehen, die jeweils mit Masse verbunden sind. Vorzugsweise werden die Metallelemente als Metallstreifen ausgebildet, die in allen Metall-Ebenen des Chips ausgeführt und signalmäßig mit Masse verbunden sind. Um eine Kopp-  
20 lung über das Chip-Substrat zu vermeiden, wird vorzugsweise zum Substrat hin ebenfalls eine begrenzende, leitende Schicht angeordnet, die mit Masse verbunden ist. Diese Schicht kann zum Beispiel die unterste Leiterschicht, Metall 1, sein. Bei dieser Ausführungsform ist jedes Kopplungselement von einem separaten U-förmigen Profil umgeben, das es elektromagnetisch von  
25 seinen Nachbarn trennt.

Verschiedene Maßnahmen sind möglich, um eine besonders hohe Dichte der Kopplungselemente zu erzielen, selbst wenn ein Übersprechen die empfangenseitige Trennung der Signale behindert.

In einem bevorzugten Ausführungsbeispiel des erfindungsgemäßen Chips  
30 weist dieser eine Sendersteuerung auf, die ausgebildet ist, Signale auf be-

nachbarten ersten oder zweiten Kopplungselementen mit einer vorbestimmten Phasenverschiebung relativ zueinander auszugeben. Hierzu folgendes Beispiel:

Pro sendendem Kopplungselement beträgt die Datenrate ein Gigabit pro Sekunde. Der Datenabstand beträgt hierbei demnach eine Nanosekunde. Die Sendersteuerung erzeugt eine Modulation durch phasenumtaktung (binary phase shift keying) bei einer Trägerfrequenz von zwei GHz. Hierbei werden Sendeverstärker verwendet, die Impulse mit einer Anstiegszeit von maximal 50 ps erzeugen. Hierbei wird ein Haupt-Takt mit einer anderen Frequenz wie beispielsweise 20 GHz übertragen. Auf der Empfängerseite werden 20 Sub-Takte von 1 GHz mit 50 ps Phasenversatz abgeleitet. Mit Hilfe von Zeitfenstern oder einer Korrelation wird jeweils das zum Sub-Takt passende Signal aus der empfangenen Signal-Mischung ausgewählt und wieder hergestellt.

Zusätzlich können weitere aus Funksystemen bekannte Verfahren eingesetzt werden, insbesondere solche, die im Bereich der Ultra-Wide-Band- (UWB-) Systeme bekannt sind. Sowohl der Bereich der Datenrate als auch die möglichst Trägerfrequenz können bei einer Kopplung von Chip zu Chip sehr ähnlich sein zu den Werten des derzeit entstehenden UWB-Standards bei 3 bis 10 GHz. Wegen der konstanten Kanalbedingungen ist die Übertragung im vorliegenden System jedoch einfacher als bei Funksystemen.

Viele der hier vorgeschlagenen Maßnahmen erfordern eine selbsttätige Abgleichphase, bevor ein Betrieb möglich ist. Die Abgleichphase kann einmalig z. B. beim Einschalten erfolgen oder regelmäßig in bestimmten Zeiträumen vorgesehen sein. Da die Übertragungsbedingungen in erster Näherung zeitinvariant sind, ist eine Abgleichphase nur selten nötig. Allenfalls können Temperatur-Änderungen eine Adaption erfordern. Dann kann ein Großteil der für die Adaption erforderlichen Bausteine abgeschaltet werden, und nur die Filter sind aktiv.

Gemäß einem fünften Aspekt der Erfindung wird ein Wafer mit einer Vielzahl von Chip-Abschnitten bereitgestellt, bei dem mindestens ein Chip-Abschnitt von einem Chip gemäß dem vierten Aspekt der Erfindung gebildet ist.

5      Gemäß einem sechsten Aspekt der Erfindung wird ein Verfahren zur Herstellung einer Chip-Anordnung nach Anspruch 2 bereitgestellt, mit den Schritten:

- a)    Positionierung des ersten Chip auf einem Träger
- b)    Positionierung des zweiten Chip relativ zum ersten Chip auf dem Träger
- c)    Positionieren eines Kopplungsbausteins gemäß Anspruch 17 zur Herstellung einer kontaktlosen Kopplung für die Signalübertragung zwischen  
10      dem ersten und zweiten Chip,

Weitere Ausführungsbeispiele der Erfindung werden nachfolgend anhand von Figuren beschrieben. Es zeigen:

- Figur 1      ein erstes Ausführungsbeispiel einer Chip-Anordnung;
- Figur 2      ein zweites Ausführungsbeispiel einer Chip-Anordnung;
- 15    Figur 3      das Ausführungsbeispiel der Figur 2 in höherer Vergrößerung;
- Figur 4      das Ausführungsbeispiel der Figur 2 in weiter erhöhter Vergrößerung;
- Figur 5      eine Modifikation dieses Ausführungsbeispiels;
- 20    Figur 6      eine schematische Querschnittsansicht eines dritten Ausführungsbeispiels einer erfindungsgemäßen Chip-Anordnung;
- Figur 7      ein viertes Ausführungsbeispiel einer erfindungsgemäßen Chip-Anordnung in einer schematischen Draufsicht;
- Figur 8      das Ausführungsbeispiel der Figur 7 in einer schematischen Querschnittsansicht;



Figur 9 eine schematische Darstellung relevanter Maße von Kopplungselementen;

Figur 10 eine schematische Draufsicht eines fünften Ausführungsbeispiels einer Chip-Anordnung, die zusätzliche Kopplungselemente auf  
5 Seiten des Empfängers aufweist;

Figur 11 ein sechstes Ausführungsbeispiel in einer schematischen Draufsicht, bei dem senderseitig Kopplungselemente zur Erzeugung von Randsignalen vorgesehen sind;

Figur 12 eine schematische Querschnittsansicht eines siebten Ausführungsbeispiels einer Chip-Anordnung mit einem Kopplungsbau-  
10 stein;

Figur 13 eine schematische Querschnittsansicht eines achten Ausführungsbeispiels in einer Flip-Chip-Anordnung;

Figur 14 ein neuntes Ausführungsbeispiel in einer weiteren Flip-Chip-Anordnung;  
15

Figur 15 ein Anwendungsbeispiel der erfindungsgemäßen Chip-Anordnung;

Figur 16 ein vereinfachtes Blockschaltbild einer empfängerseitigen Schaltung zur Signalaufbereitung.

Figur 1 zeigt eine abstrakte schematische Darstellung eines ersten Ausführungsbeispiels einer erfindungsgemäßen Chip-Anordnung. Zwei Chips 10 und 12 sind in einer schematischen Draufsicht dargestellt. Der erste Chip 10 hat eine erste Signalschnittstelle 18 mit einer Vielzahl von Kopplungselementen und einer ersten Anzahldichte. Zur Vereinfachung der Darstellung sind hier nur wenige Kopplungselemente 20 bis 30 dargestellt. Die Anzahldichte ist die  
25 Anzahl der Kopplungselemente pro Längserstreckung der Signalschnittstelle. Diese Längserstreckung 11 der Signalschnittstelle 18 hat in Figur 1 die Länge l1. Der Signalschnittstelle 18 des ersten Chips 10 gegenüberliegend befindet sich auf dem zweiten Chip eine zweite Signalschnittstelle 32 mit Kopplungselementen, die in größerer Anzahldichte angeordnet sind als die Kopplungselemente 20 bis 30 der Signalschnittstelle 18. Die Größenverhältnisse sind in der schematischen Darstellung in Figur 1 nicht maßstabsgetreu. Im Normalfall  
30



werden die Signalschnittstellen 18 bzw. 32 nur einen kleinen Teil der jeweiligen Chip-Oberfläche einnehmen, und die Chips können weitere Elemente an der Oberfläche aufweisen, z.B. herkömmliche Bondpads. Die Kopplungselemente sind in Figur 1 symbolisch als Rechtecke mit grauer Füllung dargestellt.

5 In der realen Ausführung kann die Form der Kopplungselemente anders sein. Sie können auch dreidimensionale Strukturen sein, beispielsweise Spulen. Die Längserstreckung 13 der Signalschnittstelle 32 hat in Figur 1 die Länge l2. Der Übersichtlichkeit halber sind nur zwei Kopplungselemente 34 und 36 mit Bezugszeichen versehen. Die Kopplungselemente beider Signalschnittstellen sind längs der Kante der Chips, die dem jeweils anderen Chip zugewandt ist, angeordnet. Die Überlappung 15 beider Längserstreckungen 11 und 13 hat in Figur 1 die Länge l12. Projiziert man die erste Längserstreckung 11 auf die Linie der zweiten Längserstreckung 13, so bildet der gemeinsame Bereich, den die dadurch entstehende projizierte Strecke mit der zweiten Längserstreckung 13 hat, die Strecke der Überlappung 15. Der erste Chip 10 und der zweite Chip 12 sind relativ zueinander so angeordnet, dass Kopplungselemente der ersten Signalschnittstelle 18 und Kopplungselemente der zweiten Signalschnittstelle 32 miteinander kontaktlos Signale übertragen können. Im dargestellten Fall können die Kopplungselemente beispielsweise horizontale Spulen sein, also Induktivitäten, deren Längsachsen des Magnetfeldes in horizontaler Ebene parallel zur Oberfläche des Chips angeordnet sind. Diese Längsachsen sind in Figur 1 jeweils parallel zur längeren Seite jedes Kopplungselements, und damit senkrecht zu der Kante des Chips, die dem anderen Chip zugewandt ist. Trotz des in Figur 1 sichtbaren Versatzes der Signalschnittstellen 18 und 32 zueinander gibt es im Bereich der Überlappung 15 Kopplungselemente der Signalschnittstelle 18 des ersten Chips 10, die mit Kopplungselementen der Signalschnittstelle 32 des zweiten Chips 12 koppeln. Im Beispiel der Ausführung der Kopplungselemente als horizontale Spulen ist das eine Kopplung der Magnetfelder von Induktivitäten der Signalschnittstelle 18, die über den Zwischenraum 40 hinweg mit Induktivitäten der Signalschnittstelle 32 auf dem anderen Chip wechselwirken. Einem Kopplungselement der Signalschnittstelle 18 des ersten Chips 10 kann dabei ein Kopplungselement oder auch mehrere Kopplungselemente der Signalschnittstelle

32 des zweiten Chips 12 zugeordnet sein. Beispielsweise können alle Kopplungselemente der Signalschnittstelle 18 als Sender angesteuert sein, und alle Kopplungselemente der Signalschnittstelle 32 als Empfänger. Durch weitere Maßnahmen, wie Auswahlhaltungen und Filter, z.B. den Empfängern nachgeschaltet, werden die übertragenen Signale zugeordnet und rekonstruiert. Da  
5 damit die Zuordnung der einzelnen Kopplungselemente der Signalschnittstelle 18 zu den Kopplungselementen der Signalschnittstelle 32 flexibel an die reale Position angepasst werden kann, gibt es eine hohe Toleranz gegenüber einem Versatz der Chips in Richtung der Längserstreckungen 11 und 13. Dies vereinfacht die Positionierung der Chips zueinander.  
10

Figur 2 zeigt zweites Ausführungsbeispiel einer erfindungsgemäßen Chip-Anordnung. Hier werden für entsprechende Elemente die gleichen Bezugszeichen gewählt wie in Figur 1. Auch hier sind zwei Chips 10 und 12 in einer schematischen Draufsicht dargestellt. Die Chips 10 und 12 weisen herkömmliche Bond-Pads 14 und 16 auf. Weiterhin hat der erste Chip 10 eine erste Signalschnittstelle 18 mit einer Vielzahl von Kopplungselementen, von denen hier  
15 nur die Kopplungselemente 20 bis 30 dargestellt sind. In der Figurenschreibung werden durchgängig die Richtungen x und y, die in Figur 2 anhand von Pfeilen dargestellt sind, für die lateralen Richtungen in der Chip-Oberfläche verwendet. Eine hier noch nicht dargestellte z-Richtung weist in Tiefenrichtung der Chips senkrecht zur Chip-Oberfläche und damit senkrecht zur Papierebene. Der Signalschnittstelle 18 des ersten Chips 10 gegenüberliegend befindet sich auf dem zweiten Chip eine zweite Signalschnittstelle 32 mit Kopplungselementen, die in der y-Richtung in größerer Anzahldichte angeordnet sind als  
20 die Kopplungselemente 20 bis 30 der Signalschnittstelle 18. Der Übersichtlichkeit halber sind nur zwei Kopplungselemente 34 und 36 mit Bezugszeichen versehen. Die Kopplungselemente beider Signalschnittstellen sind längs der Kante der Chips, die in Figur 2 parallel zur y-Richtung verläuft, angeordnet. Die Kopplungselemente haben die Form von Streifen, deren Längsrichtung  
25 parallel zur x-Richtung weist. Die Kopplungselemente der ersten Signalschnittstelle 18 weisen deutlich sichtbar eine größere Breite in y-Richtung auf als die der zweiten Signalschnittstelle 32 des Chips 12. Die Signalschnittstel-  
30

len 18 und 32 der beiden Chips 10 und 12 sind über einen Kopplungsbaustein 38 signaltechnisch verbunden. Der Kopplungsbaustein liegt auf beiden Chips im Bereich ihrer einander zugewandten Kanten auf und überdeckt die Signalschnittstellen 18 und 32. Der Kopplungsbaustein 38 weist eine große Anzahl von dritten und vierten Kopplungselementen auf, die in diesem Fall jeweils zu einheitlichen Kopplungselementen in Streifenform verbunden sind, welche sich in x-Richtung von jenseits der Kopplungselemente der Signalschnittstelle 18 über einen zwischen den Chips befindlichen Zwischenraum 40 hinweg erstrecken bis jenseits der Kopplungselemente der Signalschnittstelle 32 des Chips 12. In y-Richtung haben die Kopplungsstreifen des Kopplungsbausteins 38 eine im Vergleich mit den Kopplungselementen der beiden Chips deutlich geringere Breite und höhere Anzahldichte. Die Kopplungsstreifen des Kopplungsbausteins 38 sind in Figur 2 grau dargestellt. Exemplarisch ist ein Kopplungsstreifen 42 gekennzeichnet. In Figur 2 ist ein Ring 44 eingezeichnet, der allein zur Verdeutlichung des Maßstabes der nachfolgenden Figuren dient.

Geht man von einer für die Signalschnittstellen 18 und 32 maximal nutzbaren Kantenlänge von ca. 10 bis 25 mm sowie einer Anzahl von etwa 1.000 bis 2.000 für den maximalen Durchsatz nötigen Kopplungselemente aus, so ergibt sich ein Rastermaß (pitch) in der Größenordnung von 5 bis 25  $\mu\text{m}$  pro Kopplungselement.

Figur 3 zeigt das Ausführungsbeispiel der Figur 2 in einem vergrößerten Ausschnitt. Hier wie in den Figuren 2, 4 und 5 ist der Kopplungsbaustein lediglich zum Zwecke der Erläuterung transparent dargestellt. Beispielsweise können die Kopplungselemente 20 bis 30 der Signalschnittstelle 18 ein Rastermaß von 10  $\mu\text{m}$  und die Kopplungselemente der Signalschnittstelle 32 ein Rastermaß von 5  $\mu\text{m}$  aufweisen. Sind z.B. 1.000 Kopplungselemente auf dem Chip 10 und 2.500 Kopplungselemente auf dem Chip 12 vorgesehen, so beträgt die Längserstreckung der Signalschnittstellen auf den Chips 10 mm bzw. 12,5 mm. Sollen alle 1.000 Kopplungselemente auf dem Chip 10 genutzt werden, so muss die Überlappung beider Längserstreckungen die gesamte Längserstreckung des Chips 10 umfassen. Diese Überlappung ist dann eben-

falls 10 mm lang. Werden die Chips in y-Richtung so zueinander positioniert, dass beim Sollwert die Signalschnittstellen genau mittig zueinander liegen, so kann ein Versatz der Signalschnittstellen zueinander um diesen Sollwert in y-Richtung von  $0,5 \cdot (12,5 - 10)$  mm toleriert werden, also 1,25 mm, in Figur 3 nach oben oder unten. Welches Kopplungselement des Chips 10 welches Kopplungselement des Chips 12 erreicht, muss nach der Positionierung festgestellt werden, z. B. automatisch beim Einschalten des Systems, indem Chip 10 eine einfach erkennbare Sequenz der Reihe nach auf alle seine Kopplungselemente anlegt, und Chip 12 herausfindet, auf welchen Kopplungselementen jeweils der Empfang für das jeweilige Kopplungselement des Chips 10 am besten ist. In diesem Fall werden nur diese 1.000 der 2.500 Kopplungselemente des zweiten Chips dann im Betrieb verwendet. Ist der Versatz noch größer, und die Kopplungselemente Die anderen werden dann deaktiviert, es sei denn, sie werden zusätzlich zur selektiven Signalerückgewinnung verwendet (vgl. unten).

Figur 4 zeigt das Ausführungsbeispiel der Figuren 2 und 3 in weiterer vergrößerter Darstellung. Es ist nicht notwendig, dass mehr Empfänger und weniger Sender verwendet werden. Das Verhältnis kann auch umgekehrt sein.

Figur 5 zeigt eine Modifikation dieses Ausführungsbeispiels. Hierbei sind die Verbindungen 47 zwischen den dritten Kopplungselementen 45 und vierten Kopplungselementen 46 des Kopplungsbausteins schmaler ausgeführt als die Breite der Kopplungselemente 45 und 46. Dies kann vorteilhaft sein, um unerwünschte Kapazitäten im Signalpfad zu verringern. Zum einen wird damit das Verhältnis von erwünschter Durchgangskapazität zu unerwünschter Lastkapazität erhöht, zum anderen wird das Übersprechen zwischen den Verbindungen 47 verringert. Eine weitere Maßnahme zur Verringerung des Übersprechens, die in Figur 5 nicht dargestellt ist, kann das Anbringen von metallischen Abschirmungen zwischen den Verbindungen 47 sein, die diese Verbindungen 47 auch jeweils an allen Längsseiten umschließen können. Zusätzlich können auch die Kopplungselemente 45 und 46 davon umschlossen werden, bis auf die zur Kopplung benötigte Fläche.

Figur 6 zeigt ein drittes Ausführungsbeispiel einer Chip-Anordnung mit zwei Chips 50 und 52, die in Figur 6 auch als Chip A und Chip B gekennzeichnet sind. Die Chips sind über einen Kopplungsbaustein 54 signaltechnisch miteinander verbunden. In diesem Fall findet die kontaktlose Kopplung bereits jeweils innerhalb der Chips statt, und zwar zwischen den metallischen Leitern 501 und 502 für Chip 50 bzw. 521 und 522 für Chip 52. Damit kann die äußere Verbindung zwischen den Chips auch eine elektrisch leitende Verbindung sein, ohne daß die innere Struktur der Chips 50 und 52 einen ESD-Schutz wie bei herkömmlicher Kontaktierung benötigt. Der Kopplungsbaustein 54 ist mit Kontaktflächen 541 ausgestattet, welche gezahnt oder gestuft sind. Auf diese Weise können Oberflächenrauhigkeiten und Staubpartikel auf den Kontaktflächen der Chips besser toleriert werden.

Figur 7 zeigt in einer schematischen Draufsicht ein viertes Ausführungsbeispiel einer erfindungsgemäßen Chip-Anordnung. Zwei Chips 70 und 72 sind einander gegenüberliegend angeordnet. Die dargestellten Chips eignen sich auch für eine Anordnung ohne Kopplungsbaustein. Bei den Kopplungselementen der Signalschnittstellen handelt es sich bei beiden Chips um horizontale Spulen 71 und 73. Diese können mittels ihrer horizontalen magnetischen Felder durch die einander zugewandten Seitenflächen der Chips in horizontaler Richtung koppeln. Daher können die Chips einfach auf einem Träger nebeneinander angeordnet werden, wenn sie eine gleiche Höhe haben. Da eine solche magnetische Kopplung eine größere Reichweite haben kann als eine kapazitive, kann damit auch ein Zwischenraum 75 zwischen den Chips leichter überbrückt werden. Die Struktur der Spulen ist anhand der Querschnittsdarstellung der Figur 8 näher zu erkennen. Den Spulen nachgeschaltet sind Signalverstärker, von denen beispielhaft der Signalverstärker 76 dargestellt ist. Der Querschnittsdarstellung der Figur 8 kann entnommen werden, dass sich die Spulen über mehrere Metallebenen in den Chips erstrecken. Durch diese Höhe der Spulen entsteht eine größere Induktivität sowie eine Toleranz gegenüber vertikalen Positionsungenauigkeiten.

Figur 9 zeigt anhand eines Beispiels erste Kopplungselemente 80 und zweite Kopplungselemente 82 im Vergleich. Die zweiten Kopplungselemente 82 werden beispielsweise in einer Signalschnittstelle eines Chips oder auf einem Kopplungsbaustein verwendet. Sie entsprechen in ihrer Funktion den Kopplungselementen 34 und 36 der Figuren 1 und 2, während die ersten Kopplungselemente 80 den Kopplungselementen 20 bis 30 der Figuren 1 und 2 entsprechen. Die Skizze der Figur 9 dient lediglich dazu, die Verhältnisse von Breite und Abstand der ersten und zweiten Kopplungselemente anhand eines Beispiels im Vergleich darzustellen. Die ersten Kopplungselemente 80 weisen eine Breite  $b_1$  auf und einen wechselseitigen Abstand  $d_1$ . Aus der Summe von  $b_1$  und  $d_1$  ergibt sich ein Rastermaß  $r_1$ . Die zweiten Kopplungselemente 82 weisen eine Breite  $b_2$  auf. Diese ist kleiner als der Abstand  $d_1$ . Es versteht sich, dass die Breite  $b_2$  auch kleiner sein kann als die Breite  $b_1$ . Zur Vermeidung eines Übersprechens zwischen den ersten Kopplungselementen 80 ist es wichtig, dass  $b_2$  kleiner als  $d_1$  ist. Auf diese Weise wird ein Versatz in y-Richtung, die in Figur 9 anhand eines in Abstandsrichtung weisenden Pfeils dargestellt ist, vereinfacht. Eine streifenförmige Ausbildung in x-Richtung, die senkrecht zur y-Richtung in der Papierebene verweist, erleichtert die Positionierung auch in der x-Richtung.

Figur 10 zeigt ein Blockschaltbild einer Chip-Anordnung mit zusätzlichen Kopplungselementen auf Seiten des Empfängers. Die Chip-Anordnung weist einen ersten Chip 90 und einen zweiten Chip 92 auf, die mit Hilfe eines Kopplungsbausteins 94 Signale durch kontaktlose Kopplung austauschen. Der Kopplungsbaustein 94 ist in Figur 10 nur schematisch durch Wellenlinien angedeutet. Diese haben nichts mit seiner tatsächlichen Ausgestaltung zu tun. Der erste Chip 90 weist eine geringere Anzahl erster Kopplungselemente  $A_1$  bis  $A_N$  auf. Dem stehen empfängerseitig auf dem Chip 92 Kopplungselemente  $B_1$  bis  $B_M$  gegenüber, wobei  $M > N$ . Chip 92 weist eine Auswahl-schaltung 96 auf, die ausgebildet ist, zu ermitteln, über welche der Kopplungselemente  $B_1$  bis  $B_M$  die Signale der Kopplungselemente  $A_1$  bis  $A_N$  eintreffen. Diese  $N$  Signale werden von der Auswahl-schaltung 96 parallel ausgegeben. Die Auswahl-schaltung verwendet zur Auswahl der aktiven Kopplungselemente beispiels-

weise den anliegenden Signalverlauf über eine bestimmte Zeit, vergleicht diesen mit vordefinierten Mustern und entscheidet anhand des Vergleichsergebnisses, ob ein Kopplungselement aktiv ist oder nicht.

Figur 11 zeigt eine ähnliche Anordnung mit leichten Abwandlungen. Hier werden für entsprechende Elemente die gleichen Bezugszeichen gewählt wie in Figur 10. Der Chip 90, der die Senderseite der dargestellten Chip-Anordnung bildet, weist neben den Kopplungselementen  $A_1$  bis  $A_N$  zwei Randkopplungselemente  $A_{R1}$  und  $A_{R2}$  auf. Der Chip 90 ist ausgebildet, über die Kopplungselemente  $A_{R1}$  und  $A_{R2}$  bestimmte Erkennungssignale zu senden, um den Rand des Signalvektors  $A_1$  bis  $A_N$  eindeutig zu kennzeichnen. Das Erkennungssignal kann beispielsweise ein Pegelwechsel mit einer bestimmten Phasenlage relativ zu den Pegelwechseln aller anderen Kopplungselemente sein. In Figur 11 ist als solches Signal  $V\_Limit$  gekennzeichnet. Die Auswahl schaltung 96 auf dem Chip 92 ist hier ausgebildet, die Randerkennungssignale zu detektieren. Empfängerseitige Kopplungselemente, die in y-Richtung zum Chip-Rand hin jenseits der Kopplungselemente liegen, über die die Randerkennungssignale empfangen werden, werden von der Auswahl schaltung 96 deaktiviert.

Die Figuren 12 bis 14 zeigen weitere unterschiedliche Ausführungsformen der erfindungsgemäßen Chip-Anordnung. Die in Figur 12 gezeigte Chip-Anordnung entspricht der der Figur 2. Ein erster Chip 100 und ein zweiter Chip 102 werden mit Hilfe eines Kopplungsbausteins 104, hier in Form einer Brücke für den kontaktlosen Signalaustausch miteinander gekoppelt. Die Brücke 104 liegt auf den Rändern der Chips 100 und 102 auf. Ein hier nicht dargestelltes Dielektrikum kann zur Erhöhung der kapazitiven Kopplung verwendet werden.

Die Anordnung der Figur 12 kann auch umgedreht werden, so dass die Brücke unterhalb der beiden Chips 100 und 102 liegt und die beiden Chips auf der Brücke aufliegen. Die Brücke 104 kann dabei auch einen Teil eines Trägers oder auch den gesamten Träger bilden, der sich über die gesamte Länge der Chips in x-Richtung der Figur 11 erstreckt. Signalschnittstellen müssen auf



der Brücke jedoch nur dort vorgesehen sein, wo die Signalschnittstellen der Chips 100 und 102 miteinander gekoppelt werden sollen.

Bei der Anordnung der Figur 12 müssen die Chips in z-Richtung gut abgestimmt sein, damit die Brücke in etwa plan aufliegen kann. Diese Anordnung ist im Übrigen vorteilhaft, wenn beide Chips weitere Anschlüsse aufweisen, die durch Bond-Drähte kontaktiert werden sollen.

Die Figuren 13 und 14 zeigen alternative Ausbildungen einer erfindungsgemäßen Chip-Anordnung, bei der auf einen Kopplungsbaustein verzichtet werden kann. Hier ist jeweils einer der Chips mit einer zweiten Signalschnittstelle im Sinne der vorliegenden Erfindung ausgestattet. In der Chip-Anordnung der Figur 13 ist ein Träger 110 mit einer Stufe 112 vorgesehen, an der ein erster Chip 114 angelegt wird. Ein zweiter Chip 116 wird so auf den ersten Chip 114 aufgelegt, dass er nur im Bereich der Signalschnittstellen überdeckt. Die Signalschnittstelle des Chips 116 ist dem Chip 114 zugewandt auf der Unterseite vorgesehen. In x-Richtung erstreckt sich der aufliegende Chip 116 über die Stufe 112 hinaus und wird von sogenannten „Bumps“ 118 gestützt und kontaktiert. Die Dicke dieser kontaktierenden Elemente 118 muss mit der Höhe des Chips 114 abgestimmt sein und die Stufe 112 berücksichtigen.

Figur 14 zeigt eine ähnliche Form der „flip-chip-Kopplung“, bei der jedoch ein Träger 120 ohne Stufen vorgesehen ist. Bei dieser Anordnung müssen die kontaktierenden Elemente 118 allein die Höhenabstimmung in z-Richtung bewerkstelligen. Die vertikale Abstimmung ist einfach, wenn der oben liegende Chip 124 auf seiner Unterseite neben der erfindungsgemäßen Signalschnittstelle nur wenige elektrisch leitend zu kontaktierende Kontaktelemente hat. Dies kann zum Beispiel der Fall sein, wenn der oben liegende Chip 124 ein Speicherchip ist, der zusätzlich zur kontaktlosen Kopplung mit dem Chip 126 lediglich eine Spannungsversorgung benötigt. Da hier nur sehr wenige Kontaktelemente direkt zu kontaktieren sind, können diese mit sehr großer Fläche ausgeführt werden. Beispielsweise können sie einreihig so angeordnet und

bemessen sein, dass sie gleichzeitig zum Höhenausgleich dienen, wie in Figur 14 angedeutet.

Figur 15 zeigt ein Anwendungsbeispiel der erfindungsgemäßen Chip-Anordnung. Die hier gezeigte Anordnung enthält einen Mikroprozessor 130, einen SRAM-Baustein 132, einen DRAM-Baustein 134 sowie Eingabe-/ Ausgabe-Bausteine 136 und 138. Mikroprozessor 130 und SRAM-Baustein 132 sind über eine erfindungsgemäße Signalschnittstelle miteinander verbunden. Dies ist vorliegend durch Pfeile 140 und 142 dargestellt. Auf diese Weise wird eine Schnittstelle zwischen dem Mikroprozessor 130 und dem schnellen Speicherbaustein 132 geschaffen, der damit von den Parametern Zugriffszeit und -größe her zwischen der Leistung eines internen Cache und eines externen Hauptspeichers auf einer Hauptplatine liegt. Im Vergleich zu bisherigen Lösungen, die nur Speicher „on-chip“ oder „on-board“ haben, ist diese Lösung etwas teurer. Diese Kosten werden jedoch dann akzeptabel, wenn damit ein Engpass beseitigt wird, der die Rechenleistung des Gesamtsystems im wesentlichen Anwendungen auf einen Bruchteil absenkt. Dann entspricht die Wirkung des mit der erfindungsgemäßen Chip-Anordnung erzielten Speichererweiterung einer Vervielfachung der Taktrate des Prozessors.

Mit einer Etablierung der hier vorgeschlagenen hochdichten Schnittstelle in Form eines Standards kann auf längere Sicht sogar eine Kostensenkung bei gleichzeitiger Steigerung der Leistung erreicht werden, in dem ein großer Teil oder sogar der gesamte DRAM-Speicher in einer Chip-Anordnung der vorliegenden Erfindung gemäß in einem Modul integriert wird, und sich DRAM und SRAM die Bandbreite zum Prozessor teilen. Damit wird der Prozessor 130 bereits wesentliche Mengen Hauptspeicher im Modul mit enthalten.

Das hier vorgeschlagene System zur kontaktlosen Datenübertragung kann also erweitert werden, von einer Verbindung zwischen zwei Chips eines Moduls hin zu einer modular erweiterbaren Verbindungsstruktur einer Anzahl von Chips. Jeder Chip kann dabei Regenerierstufe und Treiber für die Weiterleitung der Signale zum nächsten Chip sein. Damit wächst zwar die Latenzzeit

mit Abstand vom Prozessor. Angesichts der sehr hohen Datenrate und der geringen Latenz pro Stufe sind jedoch immer noch Vorteile zu erwarten. Die beim Stand der Technik eingesetzten aufwendigen Verfahren, eine hohe Datenrate zum DRAM-Baustein stabil zu erreichen, könnten dann entfallen oder vereinfacht werden. Denn in einem Modul nach der erfindungsgemäßen Chip-Anordnung sind die Verhältnisse auf Grund kurzer Entfernung und geringer parasitärer Kapazitäten entspannter. Höhere schaltungstechnische Anforderungen auf Grund einer erhöhten Dämpfung als bei direkt elektrisch leitenden Kontakten bereiten keine prinzipiellen Probleme. Sie sind auch mit Blick auf den Entwurfsaufwand und die dafür benötigte Chipfläche bei großen Stückzahlen von untergeordneter Bedeutung.

Figur 16 zeigt ein vereinfachtes Blockschaltbild einer empfängerseitigen Schaltung zur Signalaufbereitung. Das hier gezeigte Ausführungsbeispiel soll zur Übertragung N nutzbarer Kanäle dienen. Die Empfängerschaltung 200 der Figur 16 weist hierzu  $N \cdot g + X$  Eingänge auf. Beispielsweise sind 220 Eingänge und entsprechend 220 Kopplungselemente vorgesehen, und senderseitig sind 100 Kopplungselemente vorgesehen. Der Faktor g beträgt in diesem Fall 2,0 und die Anzahl der seitlich überstehenden Kopplungselemente beträgt insgesamt  $X=20$ . Den Eingängen nachgeschaltet sind N Filter also beispielsweise 100 Filter. Jedes Filter hat eine Anzahl von Eingängen, die in Figur 16 mit M bezeichnet wird. M ist mindestens 1 und maximal gleich der Zahl der empfängerseitigen Kopplungselemente, und beträgt beispielsweise 30. Jedes Filter weist eine Filterbank 202 in Form einer „matched filter bank“ auf, der eine Wichtungsschaltung 204 nachgeschaltet ist. Die Filterbank weist Steuereingänge auf, über die Filterkoeffizienten eingegeben werden können. Die Wichtungsschaltung 204 weist ebenfalls einen oder mehrere Steuereingänge auf, über die Wichtungsfaktoren programmiert werden können. Zur Bestimmung und Programmierung der Wichtungsfaktoren und Filterkoeffizienten ist ein Koeffizientenschätzer 206 vorgesehen. Der Koeffizientenschätzer 206 ist eingangsseitig mit einer Vergleichseinheit 208 verbunden. Beide zusammen sind in einer Steuereinheit 210 integriert. In einem ersten Beispiel eines Betriebsverfahrens der erfindungsgemäßen Chip-Anordnung wird zunächst eine Aus-

wahl aktiver Eingänge, das heißt aktiver Kopplungselemente auf Empfängerseite getroffen. Dazu sei angenommen, dass für 100 zu nutzende Kanäle 220 Eingänge genutzt werden. Die Eingänge der Signalschnittstelle des Empfängers sind geometrisch doppelt so dicht angeordnet wie die senderseitigen Kopplungselemente. Beispielsweise sind die 100 Kopplungselemente des Senders in 10 µm-Raster angeordnet. Der Empfänger hat auf dieser Breite 200 Kopplungselemente im 5 µm-Raster. Darüber hinaus hat der Empfänger zusätzlich je 10, also 20 Kanäle an beiden Rändern der Signalschnittstelle, die grobe Versetzungen auffangen können. Für jeden der 100 Kanäle ist ein Filter vorhanden. Jedes von 100 Filtern der Empfangsschaltung hat M gleich 30 Eingänge. Die Filter verhalten sich in einem einfachen Beispiel wie ein reiner Umschalter. Das heißt: Die Filterbank reicht die Signale unverändert weiter. Die Wichtungsschaltung 204 jedoch kombiniert die Signale gewichtet. Dabei erhält im einfachsten Falle nur ein einziger Filtereingang das Gewicht 1,0. Alle anderen erhalten 0,0 und werden damit inaktiv. In diesem Fall führt die Empfängerschaltung lediglich eine räumliche, also geometrische, Auswahl der optimalen Empfangskanäle aus. Dabei stehen für einen zu nutzenden Kanal jeweils 30 Empfangskanäle zur Auswahl.

In einer leicht unschärferen Version dieses Betriebsverfahrens wird das gesamte Gewicht je nach Empfang auf den Eingängen auf 1 bis 3 Eingänge aufgeteilt. Zum Beispiel erhält ein Eingang a den Wichtungsfaktor 0,4, einen Eingang b den Wichtungsfaktor 0,4 und einen Eingang c) den Wichtungsfaktor 0,2. Die Eingänge a, b und c sind räumlich nebeneinander angeordnet. Auf diese Weise können unscharf verteilte Signale auf mehreren Eingängen erfasst werden. Aus einem reinen Umschalter wird ein Filter. Jedes solcher Filter hat M Eingänge, beispielsweise M=30. Die Eingänge des Empfängers werden möglichst gleichmäßig auf die Eingänge der Filter verteilt. Im Idealfall würde jedes Filter um  $((N \cdot g + X - M) / N)$  Eingänge weiter nach rechts versetzt sein als sein Vorgänger. Gegebenfalls gebrochene Verhältnisse werden durch Rundung auf ganze Zahlen angepasst. Beispielsweise ist ein Filter um zwei Eingänge weiterversetzt statt rechnerisch um 1,9 Eingänge. In einer Einstellphase werden die 220 Eingänge abgefragt. Die Steuereinheit 210 sucht nach be-

kannten Eigenschaften der 100 Signale. Hierzu fragt sie die Eingänge nacheinander ab. Die Eingänge, in denen die bekannten Signaleigenschaften am deutlichsten zu finden sind, werden aktiviert durch Einstellen der Filterkoeffizienten. Zur Verbesserung des Empfangs können, wie oben beschrieben, mehrere benachbarte Eingänge für ein Signal aktiviert werden.

Nach der Einstellphase werden in der Arbeitsphase der Empfangsschaltung die Daten über die eingestellten Filter an die Ausgänge übertragen. Dabei kann die Qualität der Daten überwacht werden und ggf. während der Übertragung durch Anpassung der Filter- und Wichtungskoeffizienten nachgestellt werden. Alternativ kann eine neue Einstellphase vorgenommen werden.

In einem zweiten Beispiel eines Betriebsverfahrens bildet jedes der Filter einen „rake receiver“. Das Signal wird durch Einzelfilter verändert und anschließend zusammengesetzt. In diesem Fall besteht die Filterbank aus M Filtern, die jeweils das Signal verändern. Der Ausgang jedes dieser M Einzel-Filter ist die gewichtete Summe einer Anzahl von zeitlich vorangegangenen Zuständen

des Signals: 
$$A(z) = \sum_{j=1}^r S(j) \cdot w(j, z),$$

wobei  $S(j)$  ein an einem Filtereingang in einem Zeitschritt  $j$  anliegendes Signal ist,  $r$  die Gesamtzahl der berücksichtigten Zeitschritte,  $w$  ein vom jeweiligen Zeitschritt  $j$  abhängiger Wichtungsfaktor und  $z$  ein das Filter bezeichnender Index.

Über die  $r$  Gewichte jedes Einzel-Filters wird dessen einzelne Filter-Charakteristik eingestellt. Das Signal wird demnach in seinen Frequenzanteilen verändert. Die technisch übliche Variante hierfür ist ein Schieberegister der Länge  $r$ , das mit  $r$  Multiplizierern und eine Addierer verbunden ist. Jedem Verzögerungselement der Verzögerungskette ist ein Multiplizierer und ein weiteres Verzögerungselement parallel nachgeschaltet. Lediglich das letzte Verzögerungsglied ist allein mit einem Multiplizierer verbunden. Die Ausgänge der Multiplizierer sind mit parallelen Eingängen eines Addierers verbunden. Die

Wichtungsschaltung kombiniert die M Signale gewichtet. Hierbei können mehrere Filter-Eingänge ein Gewicht ungleich 0 erhalten. Die Eingänge des Empfängers werden wie oben schon beschrieben auf die Eingänge der Filter verteilt.

5 In einer Einstellphase werden die 220 Eingänge abgefragt. Die Steuereinheit sucht nach bekannten Eigenschaften der 100 Signale. Hierzu fragt sie der Reihe nach die 220 Eingänge ab. Anschließend werden die Filterkoeffizienten und Wichtungsfaktoren geschätzt. Von dieser Anfangsschätzung ausgehend werden diese Koeffizienten und Faktoren weiter optimiert. Hierbei handelt es  
10 sich um ein Optimierungsproblem mit sehr vielen Freiheitsgraden. Zur Bewertung der Qualität des Signals können Korrelatoren in der Vergleichseinheit 208 vorgesehen sein, die das Signal mit einem bekannten Muster vergleichen. Die Ausgabe der Korrelatoren ist eine Zahl, die einem Maß für die Ähnlichkeit eines empfangenen Signals mit einem vorgegebenen Muster entspricht. Algo-  
15 rithmen wie beispielsweise ein „least-mean-square-algorithmus“ können genutzt werden, um die Koeffizienten in der Schätzeinheit 206 schrittweise zu optimieren.

In der Arbeitsphase werden die empfangenen Signale über die eingestellten Filter an die Ausgänge übertragen. Während des Betriebes kann wie schon  
20 oben beschrieben die Qualität der Daten überwacht werden und ggf. während der Übertragung die Koeffizienten nachgestellt werden. Alternativ kann eine neue Einstellphase vorgenommen werden.

In der Praxis bietet es sich an, die beiden beschriebenen Betriebsverfahren gemischt zu verwenden. Ein reines Signalverarbeitungsverfahren wie zuletzt  
25 beschrieben dürfte nicht praktikabel sein. Dagegen könnte eine reine Auswahl von Kopplungselementen in der Empfangsschaltung ohne ein nachträgliches Entmischen der Signale möglich sein. Zur Optimierung des Signal-Rauschabstandes bietet es sich jedoch an, mehrere Eingänge für einen Datenkanal zu nutzen.

### Patentansprüche

1. Chip-Anordnung mit einem ersten Chip, der mindestens eine erste Signalschnittstelle mit längs einer ersten Linie in einer ersten Anzahldichte angeordneten ersten Kopplungselementen aufweist, und mit mindestens  
5 einem zweiten Chip, der mindestens eine zweite Signalschnittstelle mit längs einer zweiten Linie in einer zweiten Anzahldichte angeordneten zweiten Kopplungselementen aufweist,

- bei der die ersten und zweiten Kopplungselemente ausgebildet sind, eine kontaktlose Signalübertragung zwischen der ersten und der zweiten Signalschnittstelle zu ermöglichen,  
10

- bei der der erste und der zweite Chip relativ zueinander so angeordnet sind, dass Kopplungselemente der ersten und der zweiten Signalschnittstelle miteinander kontaktlos Signale übertragen können,

- bei der die Längserstreckung mindestens einer der Signalschnittstellen längs der ihr zugeordneten Linie größer ist als die Länge der Überlap-  
15 pung beider Längserstreckungen, wobei diese Überlappung die Strecke ist, die die Projektion der ersten Längserstreckung auf die zweite Längserstreckung gemeinsam hat mit der zweiten Längserstreckung,

- und bei der eine der Signalschnittstellen eine größere Anzahldichte an  
20 Kopplungselementen aufweist als die andere.

2. Chip-Anordnung mit einem ersten Chip, der mindestens eine erste Signalschnittstelle mit längs einer ersten Linie in einer ersten Anzahldichte angeordneten ersten Kopplungselementen aufweist, und mit mindestens  
25 einem zweiten Chip, der mindestens eine zweite Signalschnittstelle mit längs einer zweiten Linie in einer zweiten Anzahldichte angeordneten zweiten Kopplungselementen aufweist, und mit einem Kopplungsbaustein, der auf einem Substrat eine Kopplungseinheit mit längs einer

dritten Linie in einer dritten Anzahldichte angeordneten dritten Kopplungselementen sowie mit längs einer vierten Linie in einer vierten Anzahldichte angeordneten vierten Kopplungselementen aufweist, wobei die dritten Kopplungselemente jeweils mit den vierten Kopplungselementen elektrisch leitend verbunden sind,

- bei der die ersten, zweiten und dritten und vierten Kopplungselemente ausgebildet sind, eine kontaktlose Signalübertragung zwischen der ersten und der zweiten Signalschnittstelle zu ermöglichen,

- bei der der erste und der zweite Chip sowie der Kopplungsbaustein so zueinander angeordnet sind, dass dritte Kopplungselemente der Kopplungseinheit und erste Kopplungselemente der ersten Signalschnittstelle sowie vierte Kopplungselemente der Kopplungseinheit und zweite Kopplungselemente der zweiten Signalschnittstelle jeweils miteinander kontaktlos Signale übertragen können,

- bei der für die Längserstreckungen jeweils der ersten und dritten Kopplungselemente in Abstandsrichtung der Kopplungselemente längs der ihr zugeordneten Linie gilt, dass mindestens eine der Längserstreckungen größer ist als die Länge der Überlappung beider Längserstreckungen,

- bei der für die Längserstreckungen jeweils der zweiten und vierten Kopplungselemente in Abstandsrichtung der Kopplungselemente längs der ihr zugeordneten Linie gilt, dass mindestens eine der Längserstreckungen größer ist als die Länge der Überlappung beider Längserstreckungen,

- und bei der der Kopplungsbaustein eine größere Anzahldichte an Kopplungselementen aufweist als die erste oder die zweite Signalschnittstelle oder als die erste und die zweite Signalschnittstelle.



3. Chip-Anordnung nach Anspruch 1 oder 2, bei der die ersten, zweiten und gegebenenfalls dritten und vierten Kopplungselemente ausgebildet sind, die kontaktlose Signalübertragung mit Hilfe elektromagnetischer, alternativ kapazitiver, alternativ induktiver, alternativ induktiver und kapazitiver Kopplung zwischen jeweils einem ersten und einem oder mehreren zweiten Kopplungselementen zu ermöglichen.  
5
4. Chip-Anordnung nach Anspruch 1 oder 2, bei der die erste Signalschnittstelle längs einer Kante des ersten Chips und die zweite Signalschnittstelle längs einer Kante des zweiten Chips vorgesehen ist, und die genannten Kanten des ersten und zweiten Chips einander zugewandt angeordnet sind.  
10
5. Chip-Anordnung nach Anspruch 1, bei der die Längserstreckung der derjenigen Signalschnittstelle größer ist, welche die höhere Anzahldichte aufweist.
6. Chip-Anordnung nach Anspruch 1, bei der der zweite Chip zumindest teilweise auf dem ersten Chip aufliegt.  
15
7. Chip-Anordnung nach Anspruch 2, bei der der erste und zweite Chip auf einer Trägerfläche nebeneinander angeordnet sind.
8. Chip-Anordnung nach Anspruch 6 oder 7, bei der ein Füllstoff mit hoher Dielektrizitätskonstante zwischen der ersten und der zweiten Signalschnittstelle oder gegebenenfalls zwischen der ersten Signalschnittstelle und der Kopplungseinheit sowie zwischen der zweiten Signalschnittstelle und der Kopplungseinheit angeordnet ist.  
20
9. Chip-Anordnung nach einem der vorstehenden Ansprüche, bei der die Anzahl  $N_2$  der Kopplungselemente der Signalschnittstelle mit der höheren Anzahldichte zur Anzahl  $N_1$  der Kopplungselemente der Signalschnittstelle mit der geringeren Anzahldichte im Verhältnis  $N_2 = g \cdot N_1 + X$  steht,  
25

wobei  $g$  eine Zahl größer 1 und  $X$  die Anzahl der Kopplungselemente ist, die in den überschießenden Längsabschnitten der Signalschnittstelle oder gegebenenfalls der Kopplungseinheit liegen.

- 5 10. Chip-Anordnung nach einem der vorstehenden Ansprüche, bei der die Signalschnittstelle desjenigen Chips, welcher im Signalfloss zwischen dem ersten und dem zweiten Chip einen Empfänger bildet und nachfolgend als Empfänger-Chip bezeichnet wird, Kopplungselemente mit einer höheren Anzahldichte aufweist.
- 10 11. Chip-Anordnung nach Anspruch 10, mit einer der Signalschnittstelle nachgeschalteten Filterschaltung auf dem Empfänger-Chip, die ausgebildet ist, von senderseitigen Kopplungselementen ausgesandte Signale anhand der von den empfängerseitigen Kopplungselementen empfangenen Signale zu rekonstruieren.
- 15 12. Chip-Anordnung nach Anspruch 11, bei der die Filterschaltung eine Anzahl Wichtungselemente aufweist, die jeweils ausgebildet sind, von mehreren empfängerseitigen Kopplungselementen empfangene Signale mit veränderbaren Wichtungsfaktoren zu multiplizieren und die so gewichteten Signale zu addieren.
- 20 13. Chip-Anordnung nach Anspruch 12, bei der empfängerseitige Kopplungselemente mit mehreren Wichtungselementen verbunden sind.
14. Chip-Anordnung nach Anspruch 12, bei der die Anzahl der Wichtungselemente gleich der Anzahl der senderseitig vorgesehenen Kopplungselemente ist.
- 25 15. Chip-Anordnung nach Anspruch 12 oder 13, mit einer mit den Kopplungselementen und der Filterschaltung verbundenen Steuereinheit, die ausgebildet ist, die Wichtungsfaktoren zu bestimmen.

- 5 16. Chip-Anordnung nach Anspruch 14, bei der die Steuereinheit ausgebildet ist, für jedes Wichtungselement die an den mit dem Filter verbundenen, empfangenseitigen Kopplungselementen empfangenen Signale jeweils mit einem vordefinierten Signalmuster zu vergleichen und den Kopplungselementen jeweils einen vom Vergleichsergebnis abhängigen Wichtungsfaktor zuzuordnen.
- 10 17. Chip-Anordnung nach Anspruch 16, bei der die Steuereinheit ausgebildet ist, pro Wichtungselement maximal einem bis drei Kopplungselementen einen von Null verschiedenen Wichtungsfaktor zuzuordnen, derart, dass die Summe aller Wichtungsfaktoren 1 beträgt.
18. Chip-Anordnung nach einem der vorstehenden Ansprüche, bei der die Filterschaltung zusätzlich oder alternativ eine Anzahl Filterbänke aufweist, wobei jede Filterbank eingangsseitig mit einer Anzahl Kopplungselementen verbunden ist.
- 15 19. Chip-Anordnung nach Anspruch 18, bei der jede Filterbank eine Anzahl Filter aufweist und jedes Filter eingangsseitig mit einem Kopplungselement verbunden ist.
- 20 20. Chip-Anordnung nach Anspruch 19, bei der jedes Filter ausgebildet ist, ein Ausgangssignal abzugeben, das von einer gewichteten Summe des aktuellen und einer Anzahl zeitlich vorangegangener Signale an seinem Eingang abhängt.
21. Chip-Anordnung nach Anspruch 18, bei jedes Filter ausgebildet ist, sein Ausgangssignal A entsprechend folgender Formel zu bestimmen:

$$A(z) = \sum_{j=1}^r S(j) \cdot w(j, z),$$

wobei  $S(j)$  ein an einem Filtereingang in einem Zeitschritt  $j$  anliegendes Signal ist,  $r$  die Gesamtzahl der berücksichtigten Zeitschritte,  $w$  ein vom jeweiligen Zeitschritt  $j$  abhängiger Wichtungsfaktor und  $z$  ein das Filter bezeichnender Index.

- 5 22. Chip-Anordnung nach Anspruch 21, bei der das Filter eine Signal-Verzögerungskette mit  $r$  Verzögerungselementen,  $r$  Multiplizierer und einen Addierer aufweist, wobei jedem bis auf das letzte Verzögerungselement parallel ein Multiplizierer und ein Verzögerungselement nachgeschaltet sind, dem letzten Verzögerungsglied allein ein Multiplizierer nachgeschaltet ist, und die Ausgänge der Multiplizierer mit parallelen Eingängen des Summierers verbunden sind.
- 10
23. Chip-Anordnung nach Anspruch 19 bis 22, bei der jede Filterbank eine Wichtungseinheit aufweist, die ausgebildet ist, von den Filtern der jeweiligen Filterbank empfangene Signale mit veränderbaren Wichtungsfaktoren zu multiplizieren und die so gewichteten Signale zu addieren.
- 15
24. Chip-Anordnung nach einem der Ansprüche 18 bis 23, mit einer mit den Filterbänken verbundenen Steuereinheit, die ausgebildet ist, in einer Trainingsphase die an den empfängerseitigen Kopplungselementen anliegenden Signale einer Korrelation mit einem oder mehreren bekannten Signalmustern zu unterziehen und anhand des Korrelationsergebnisses die Wichtungsfaktoren der Filter und der Wichtungsschaltung zu bestimmen.
- 20
25. Chip-Anordnung nach einem der vorstehenden Ansprüche, bei der der Chip ohne Überzahl erster Kopplungselemente je ein Randkopplungselement an den Enden seiner Signalschnittstelle aufweist und ausgebildet ist, an die Randkopplungselemente ein vordefiniertes Randsignal anzulegen.
- 25
26. Chip-Anordnung nach Anspruch 1 oder 2, bei der derjenige Chip, der im Signalfloss zwischen dem ersten und dem zweiten Chip einen Sender

bildet, eine Sendeschaltung aufweist, die komplementäre CMOS-Transistoren aufweist.

27. Chip-Anordnung nach Anspruch 1 oder 2, bei der der eine Chip ein Mikroprozessor und der andere Chip ein Speicherchip ist.
- 5 28. Chip-Anordnung nach Anspruch 1, mit einem dritten Chip, der mit dem ersten oder dem zweiten Chip entsprechend der in Anspruch 1 oder Anspruch 2 beschriebenen Weise zur Signalübertragung gekoppelt ist, derart, dass der erste bzw. zweite Chip für die Kopplung mit dem dritten Chip wie der erste Chip des Anspruchs 1 oder 2 ausgebildet ist und der dritte
- 10 Chip für die Kopplung mit dem ersten Chip wie der zweite Chip des Anspruchs 1 oder 2 ausgebildet ist, oder umgekehrt, wobei der erste oder der zweite Chip eine weitere Signalschnittstelle mit den Merkmalen der ersten Signalschnittstelle oder der zweiten Signalschnittstelle aufweist.
- 15 29. Chip-Anordnung nach Anspruch 2, mit einem dritten Chip, der mit dem ersten oder dem zweiten Chip entsprechend der in Anspruch 1 oder 2 beschriebenen Weise zur Signalübertragung ausgebildet und angeordnet ist, wobei der erste oder der zweite Chip eine weitere Signalschnittstelle mit den Merkmalen der ersten Signalschnittstelle oder der zweiten Signalschnittstelle aufweist.
- 20 30. Kopplungsbaustein für die kontaktlose Signalübertragung zwischen einem ersten und einem zweiten Chip in einer Anordnung nach Anspruch 2, mit einem Substrat und einer Kopplungseinheit mit einer Vielzahl darauf vorgesehener dritter Kopplungselemente in Form metallisch leitfähiger, in einer dritten Anzahldichte angeordneter Streifen.
- 25 31. Kopplungsbaustein nach Anspruch 30, bei dem der Abstand der dritten Kopplungselemente und ihre Breitenerstreckung so gewählt sind, dass ein drittes Kopplungselement und der Abstand zu einem benachbarten dritten Kopplungselement insgesamt maximal 10 Mikrometer einnehmen.

- 5 32. Chip zur Verwendung in einer Anordnung nach Anspruch 1 oder 2, der mindestens eine erste Signalschnittstelle mit längs einer ersten Linie in einer ersten Anzahldichte angeordneten ersten Kopplungselementen oder mindestens eine zweite Signalschnittstelle mit längs einer zweiten Linie in einer zweiten Anzahldichte angeordneten zweiten Kopplungselementen oder der mindestens eine erste und mindestens eine zweite Signalschnittstelle aufweist.
- 10 33. Chip nach Anspruch 32, bei der die ersten oder die zweiten Kopplungselemente metallische elektrisch leitfähige und parallel zueinander angeordnete Streifen sind.
34. Chip nach Anspruch 33, bei dem die Summe des Abstands und der Streifenbreite zwischen 1 und 25 Mikrometer beträgt.
35. Chip nach Anspruch 32, bei dem die erste und gegebenenfalls die zweite Signalschnittstelle längs einer Kante angeordnet ist.
- 15 36. Chip nach Anspruch 32, bei dem die Kopplungselemente Spulen sind, deren magnetische Längsachsen in horizontaler Ebene parallel zur Oberfläche des Chips angeordnet sind.
- 20 37. Chip nach Anspruch 32, bei der die ersten Kopplungselemente, alternativ die zweiten Kopplungselemente, alternativ die ersten und zweiten Kopplungselemente mit einer Isolatorschicht bedeckt sind.
38. Chip nach Anspruch 32, mit einer Bezugskante zur Positionierung in einer Chip-Anordnung.
39. Chip nach einem der Ansprüche 32 bis 38, mit einem oder mehreren zusätzlichen Merkmalen der Ansprüche 10 bis 29.

40. Chip nach Anspruch 32, bei dem zwischen den ersten Kopplungselementen je ein Metallelement vorgesehen ist, das mit Masse verbunden ist.
41. Chip nach Anspruch 40, bei dem das Metallelement das Kopplungselement seitlich und substratseitig umgibt, insbesondere in U-Form.
- 5 42. Chip nach Anspruch 32, mit einer Sendersteuerung, die ausgebildet ist, Signale auf benachbarten ersten oder zweiten Kopplungselementen mit einer vorbestimmten Phasenverschiebung relativ zueinander auszugeben.
43. Wafer mit einer Vielzahl von Chip-Abschnitten, bei dem mindestens ein Chip-Abschnitt von einem Chip nach Anspruch 32 gebildet ist.
- 10 44. Verfahren zur Herstellung einer Chip-Anordnung nach Anspruch 2, mit den Schritten:
- a) Positionierung des ersten Chips auf einem Träger,
  - b) Positionierung des zweiten Chips relativ zum ersten Chip auf dem Träger,
  - 15 c) Positionieren eines Kopplungsbausteins zur Herstellung einer kontaktlosen Kopplung für die Signalübertragung zwischen dem ersten und zweiten Chip.
45. Verfahren nach Anspruch 44, mit einem zusätzlichen Schritt des Ermitteln aktiver Kopplungselemente.

### Zusammenfassung

- Chip-Anordnung mit einem ersten Chip, der mindestens eine erste Signalschnittstelle mit längs einer ersten Linie in einer ersten Anzahldichte angeordneten ersten Kopplungselementen aufweist, und mit mindestens einem zweiten Chip, der mindestens eine zweite Signalschnittstelle mit längs einer zweiten Linie in einer zweiten Anzahldichte angeordneten zweiten Kopplungselementen aufweist,
- bei der die ersten und zweiten Kopplungselemente ausgebildet sind, eine kontaktlose Signalübertragung zwischen der ersten und der zweiten Signalschnittstelle zu ermöglichen,
  - bei der der erste und der zweite Chip relativ zueinander so angeordnet sind, dass Kopplungselemente der ersten und der zweiten Signalschnittstelle miteinander kontaktlos Signale übertragen können,
  - bei der die Längserstreckung mindestens einer der Signalschnittstellen längs der ihr zugeordneten Linie größer ist als die Länge der Überlappung beider Längserstreckungen,
  - und bei der eine der Signalschnittstellen eine größere Anzahldichte an Kopplungselementen aufweist als die andere.

Fig. 1



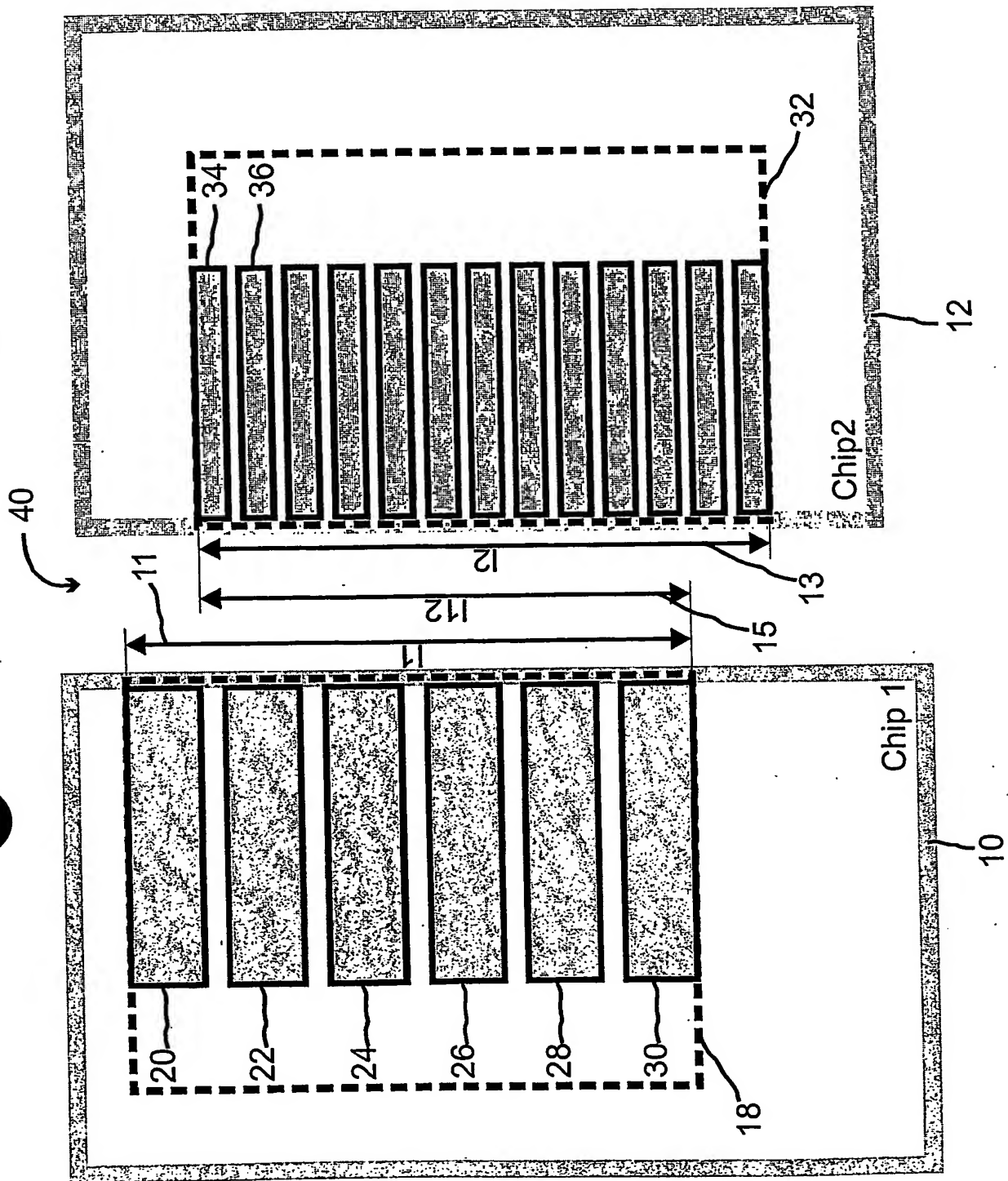


Figure 1

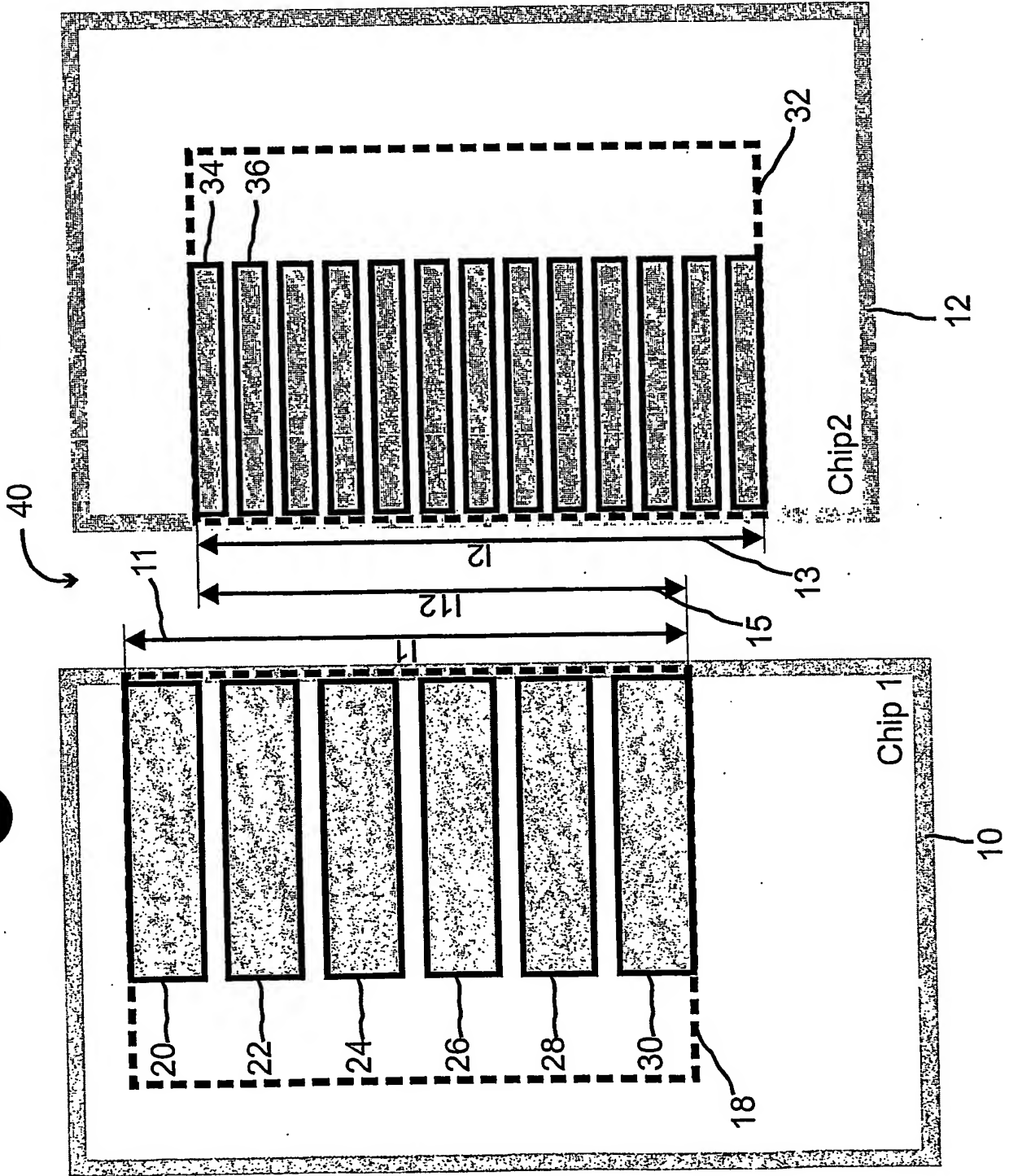


Figure 1

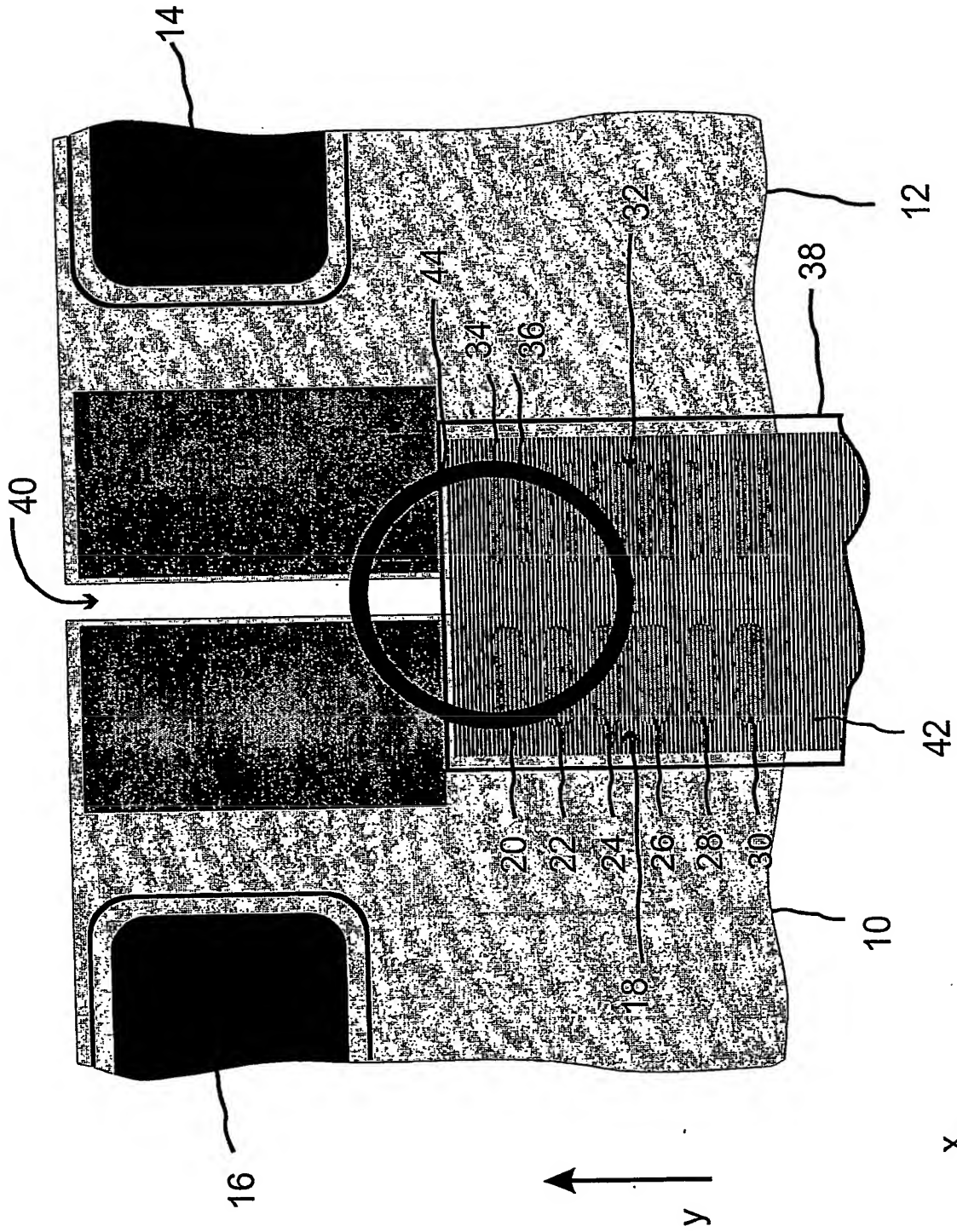
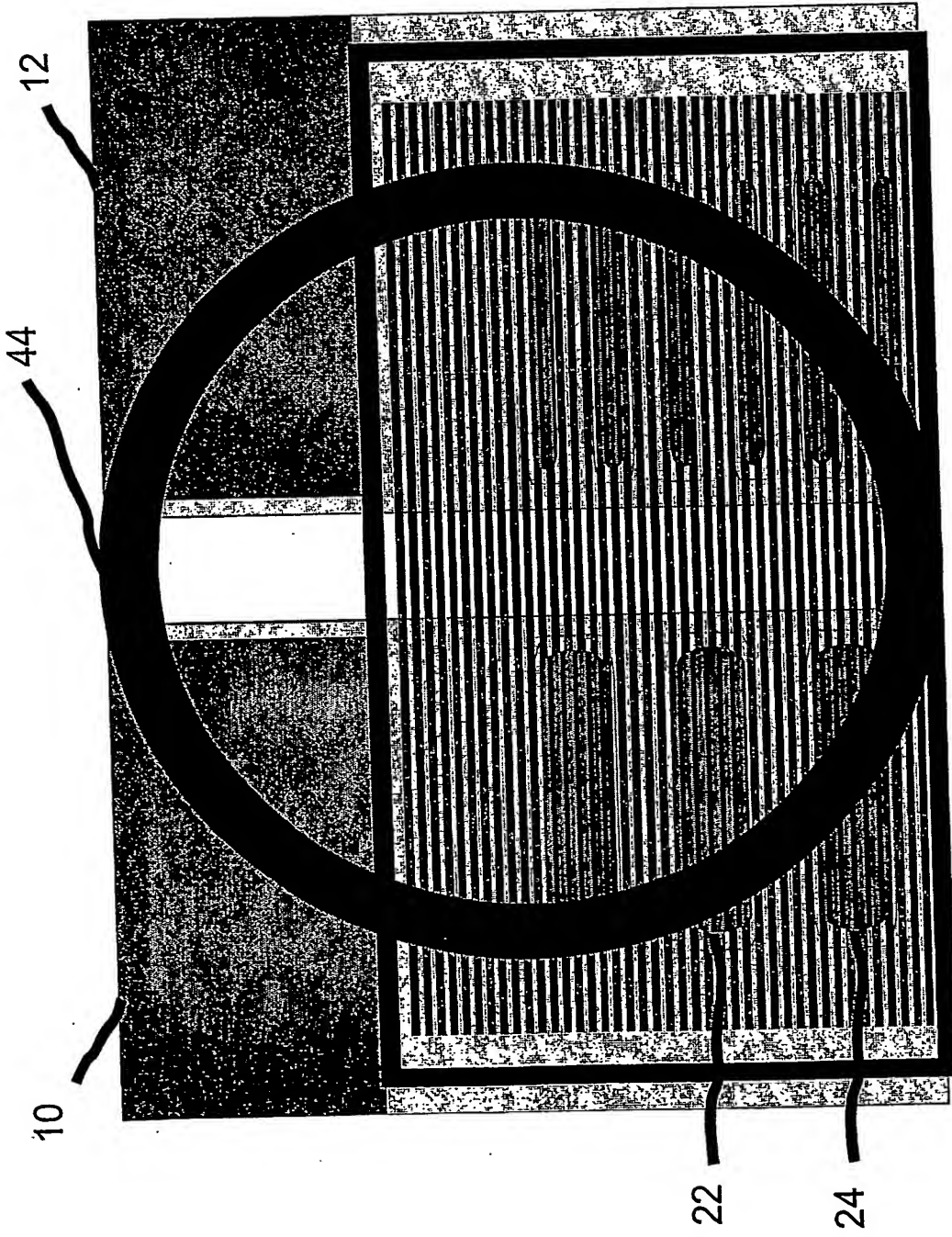
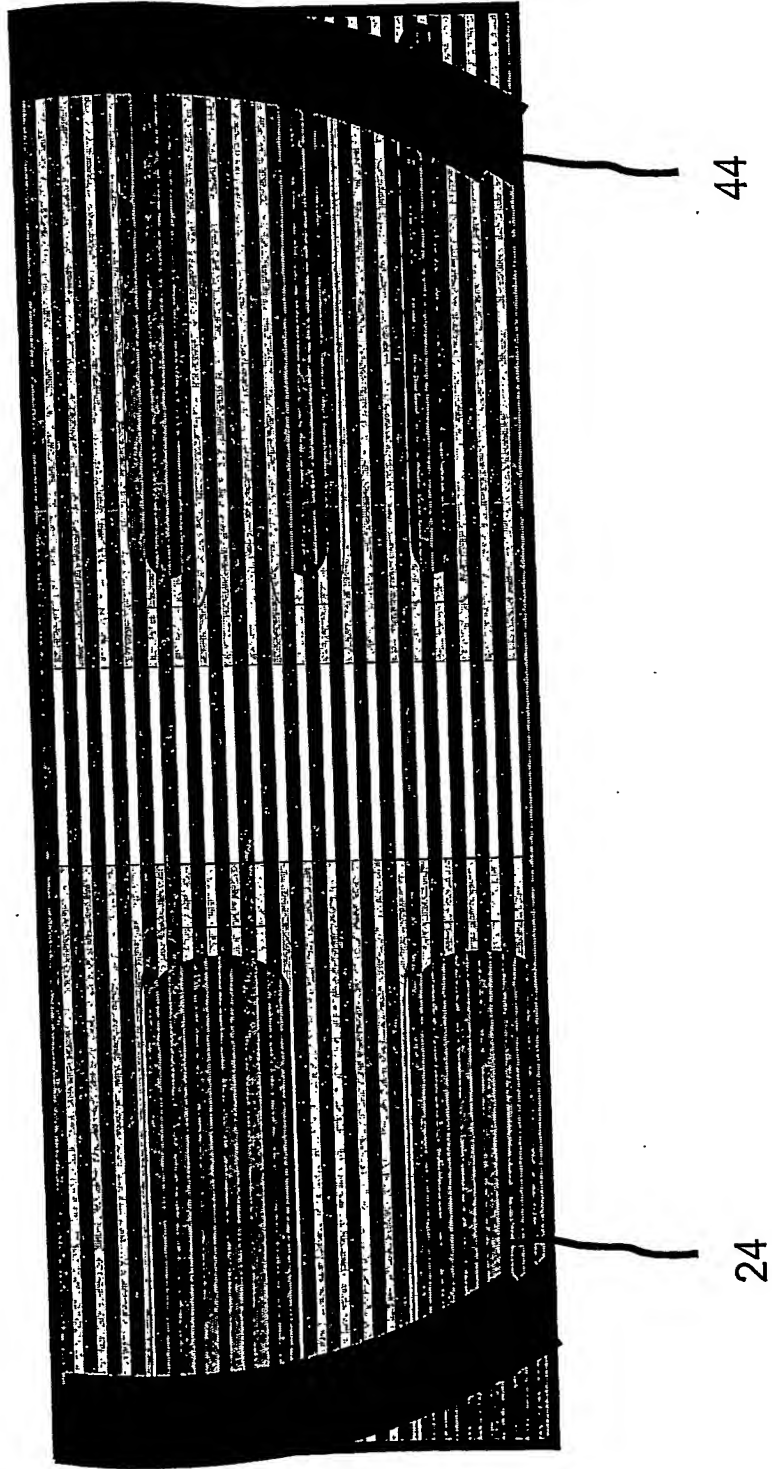


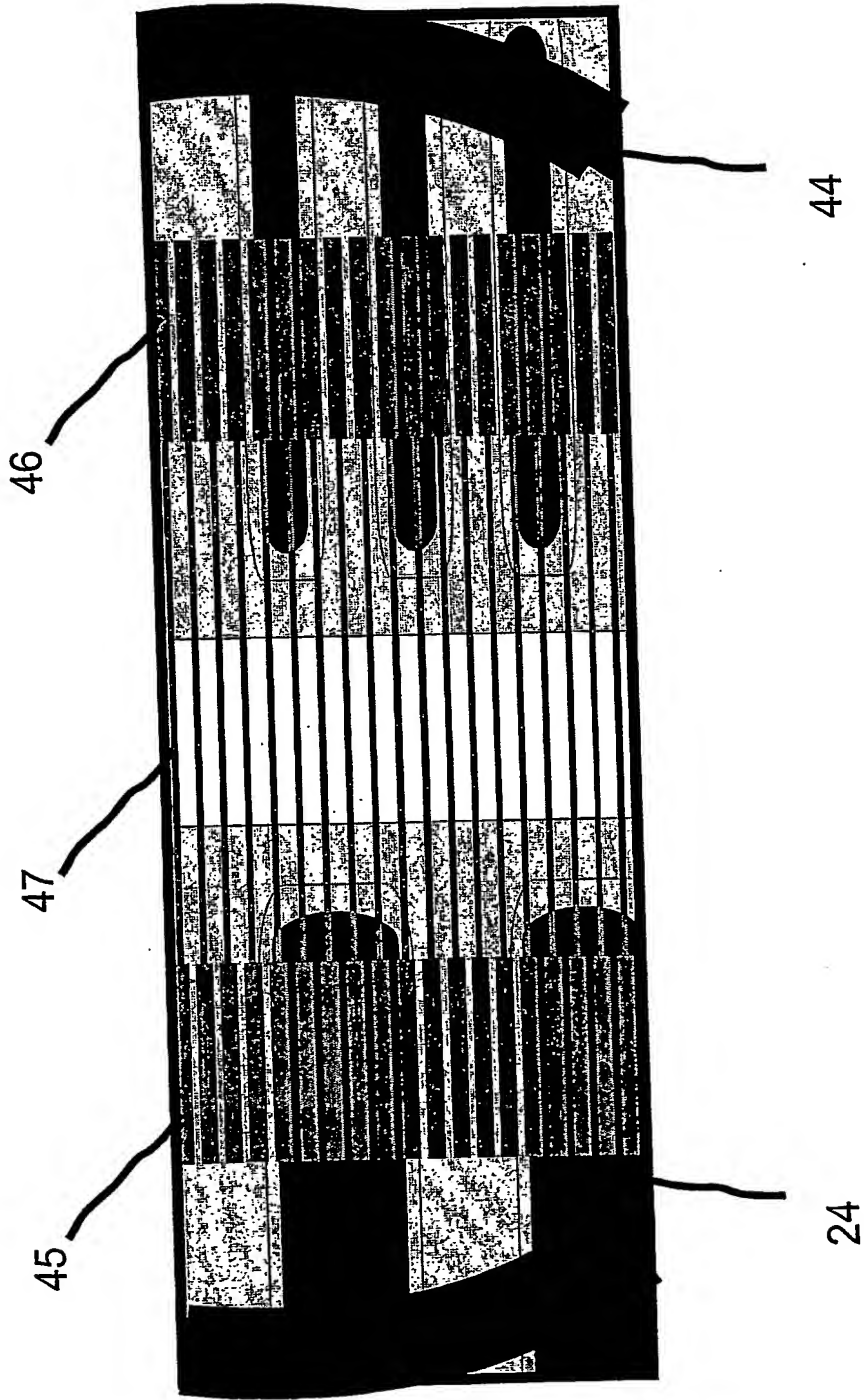
Figure 2



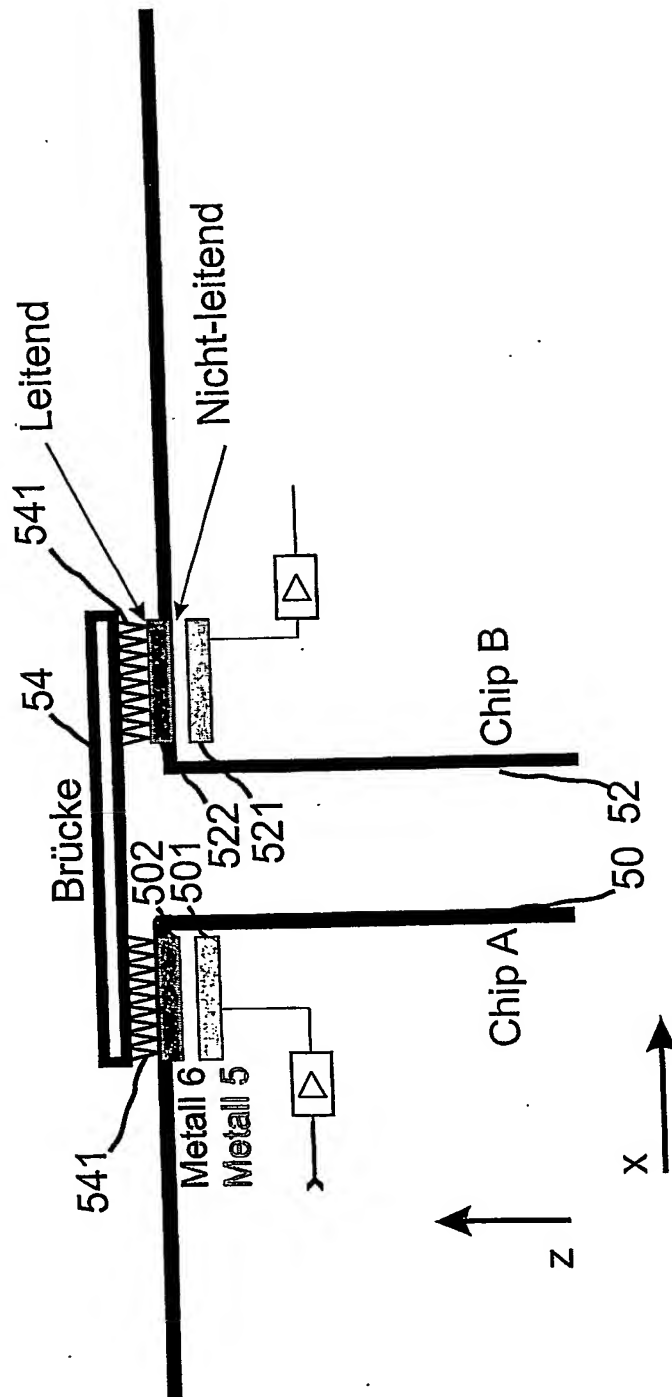
Figur 3



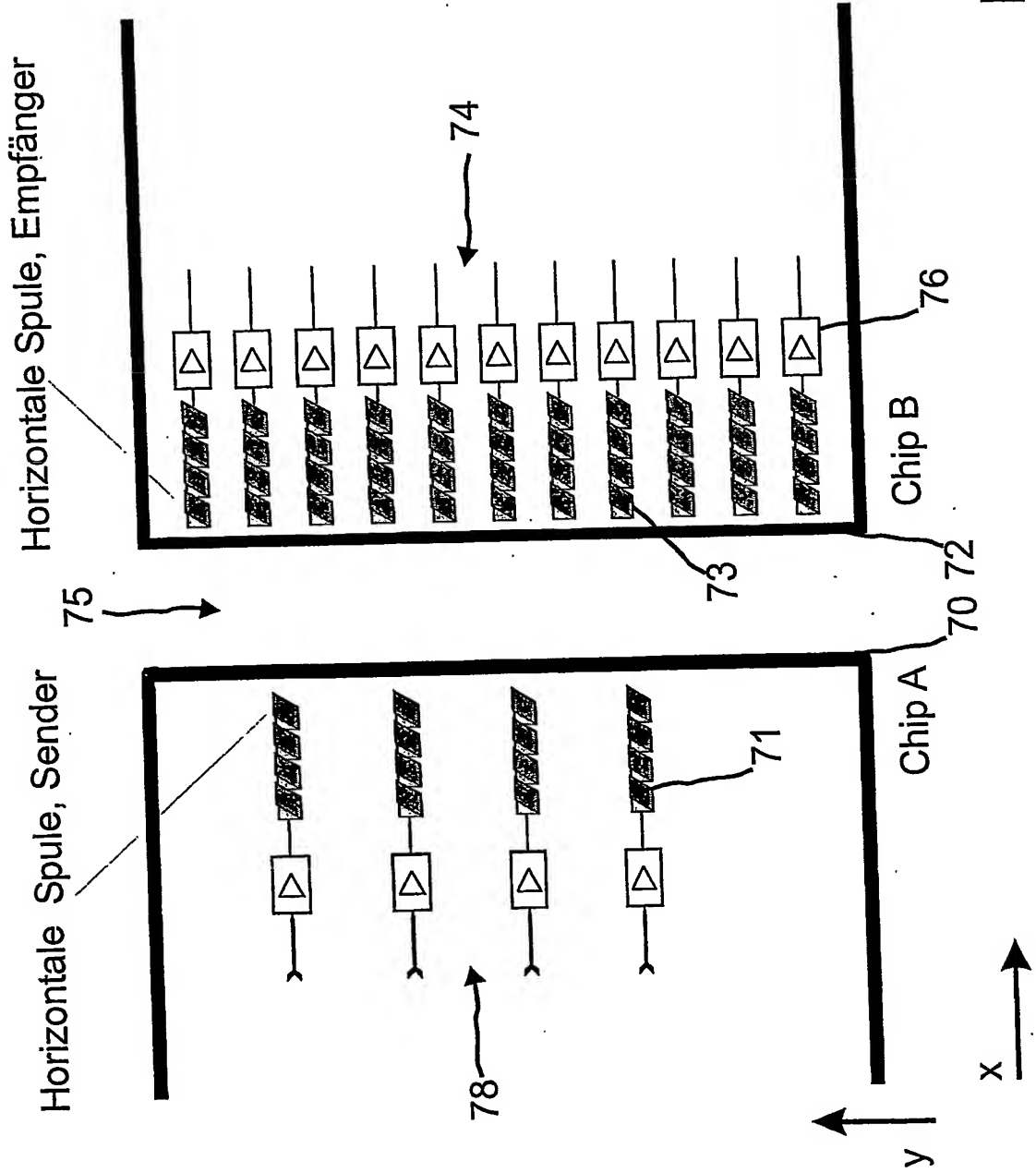
Figur 4



Figur 5

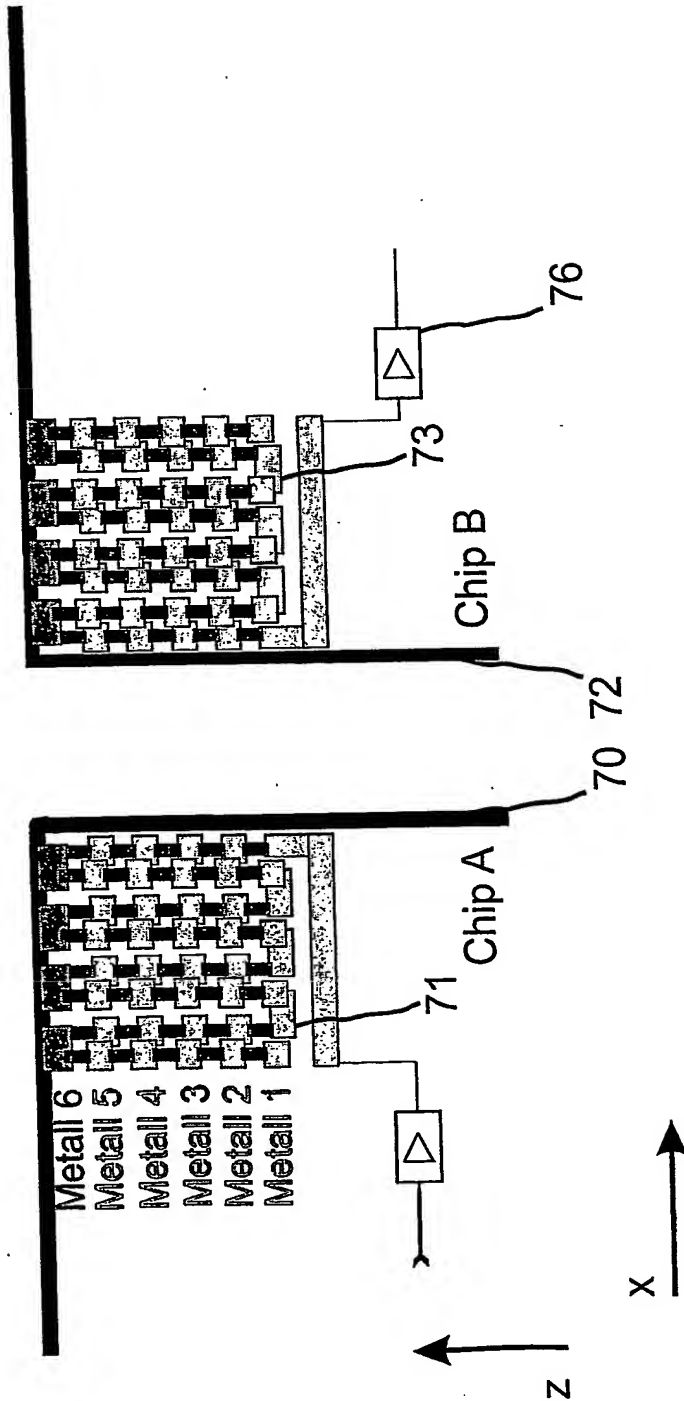


## Figur 6

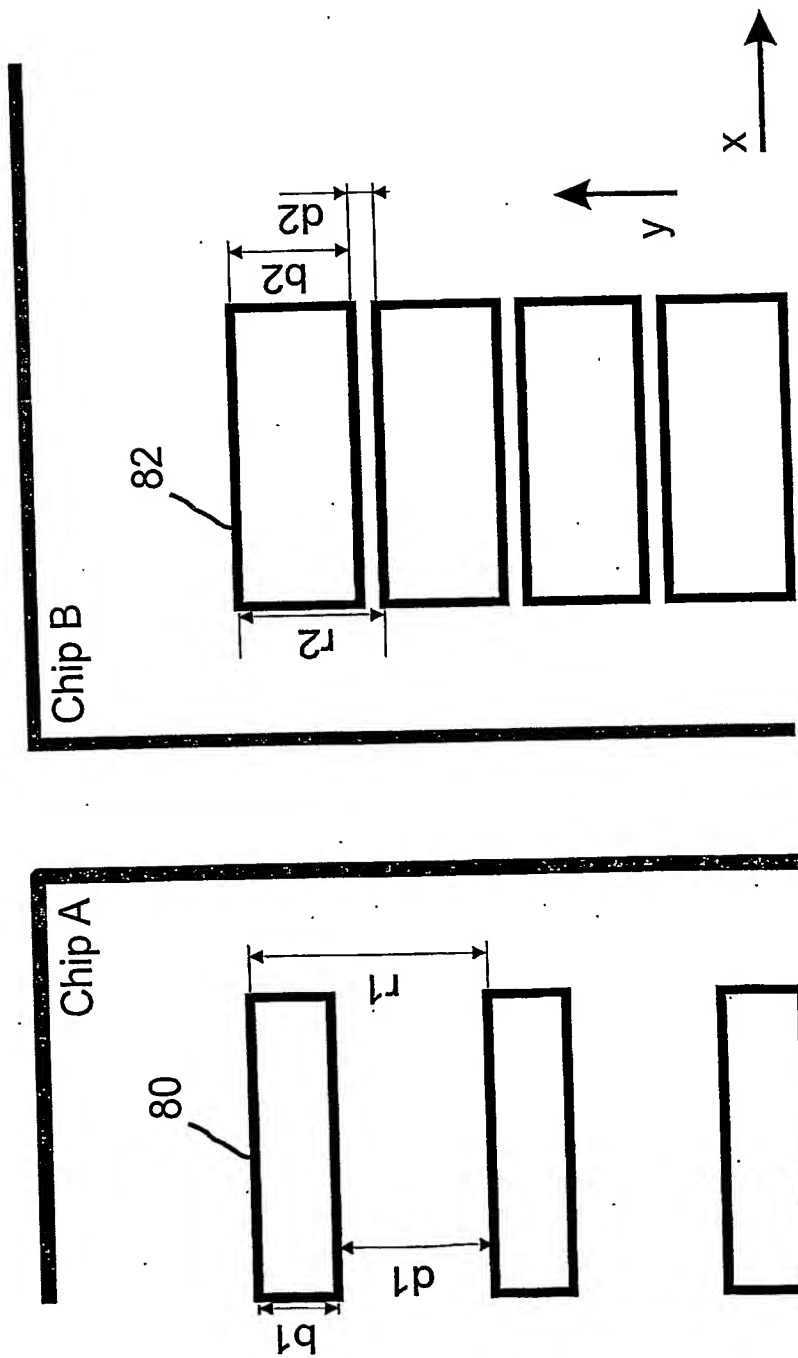


Figur 7

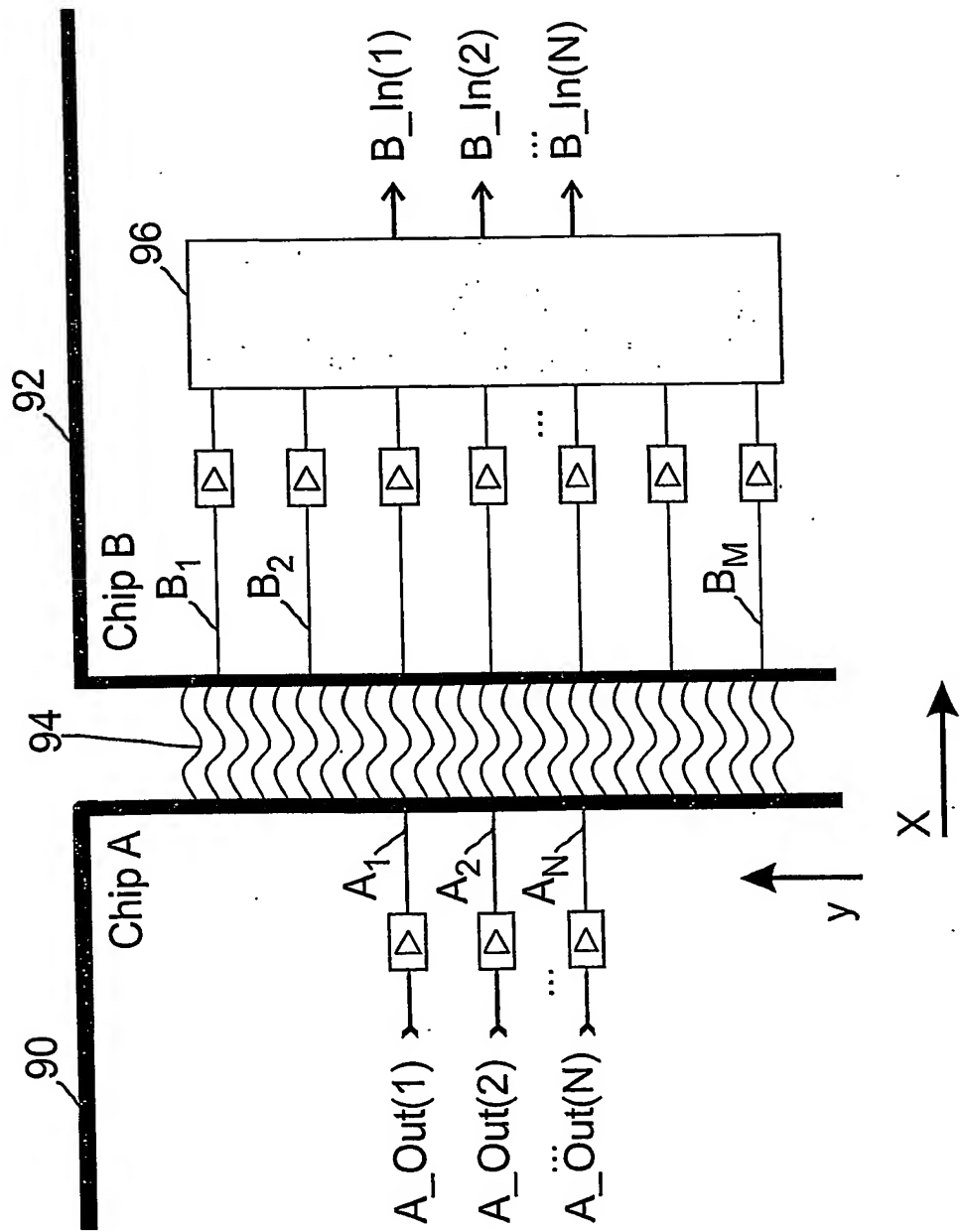




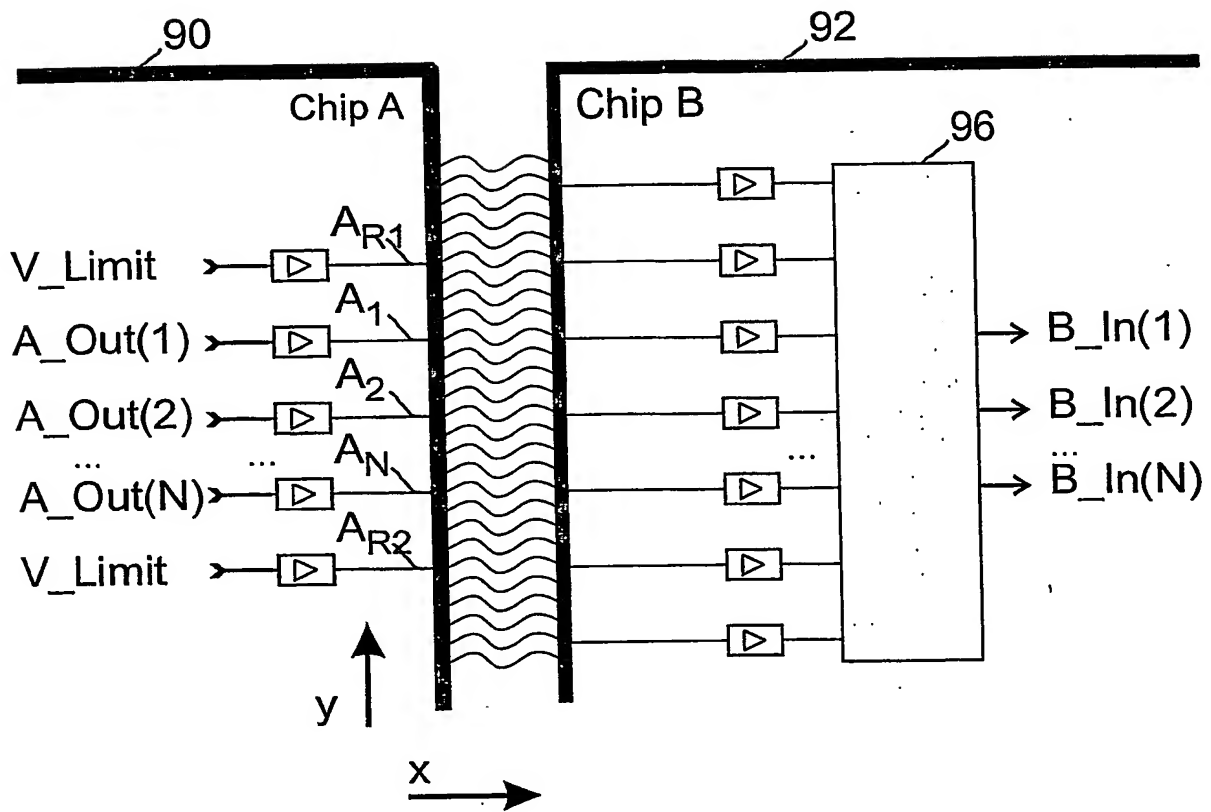
Figur 8



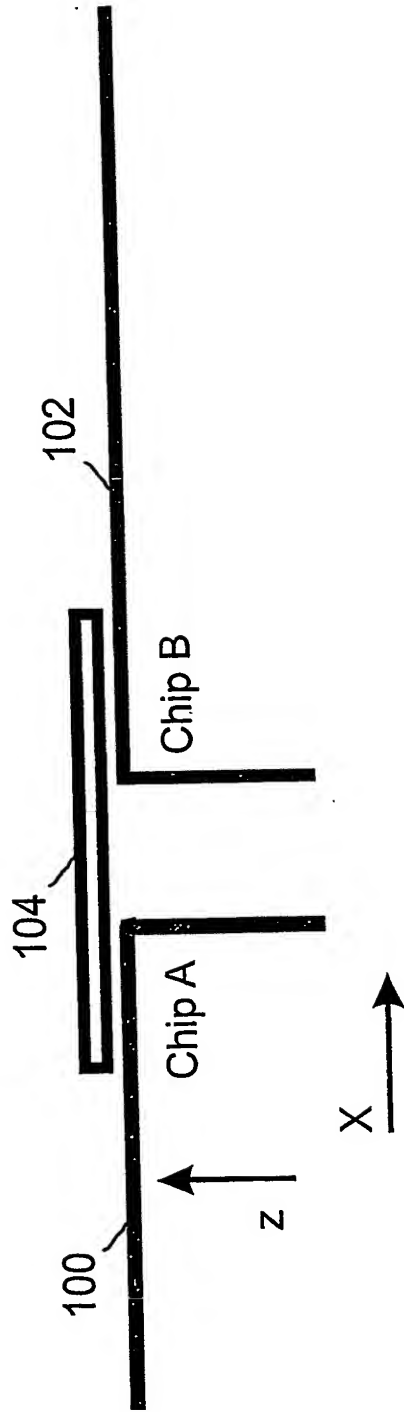
Figur 9



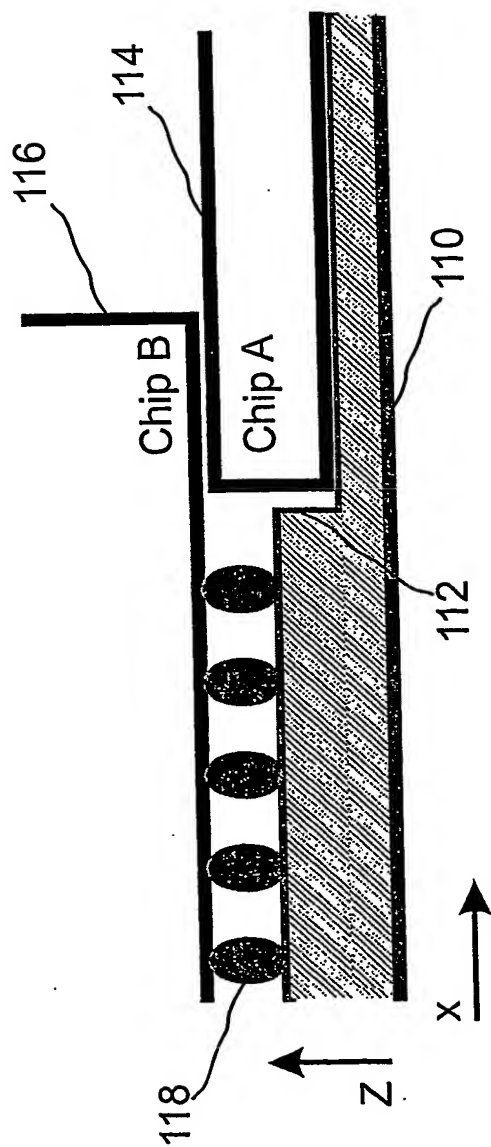
Figur 10



Figur 11



Figur 12



Figur 13

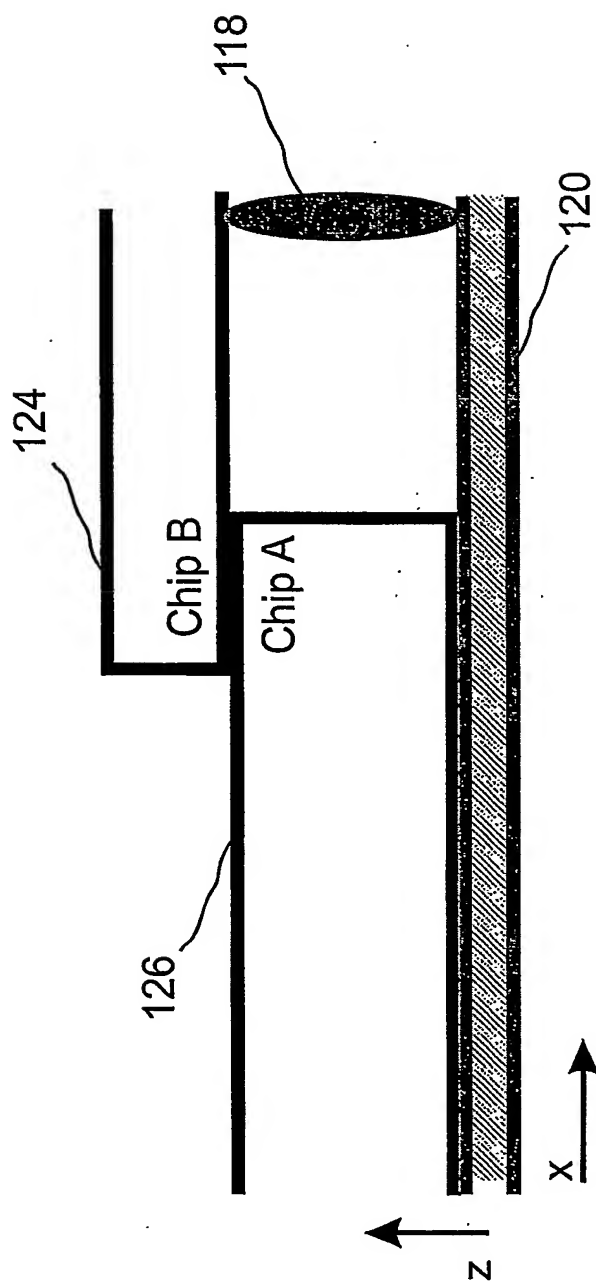
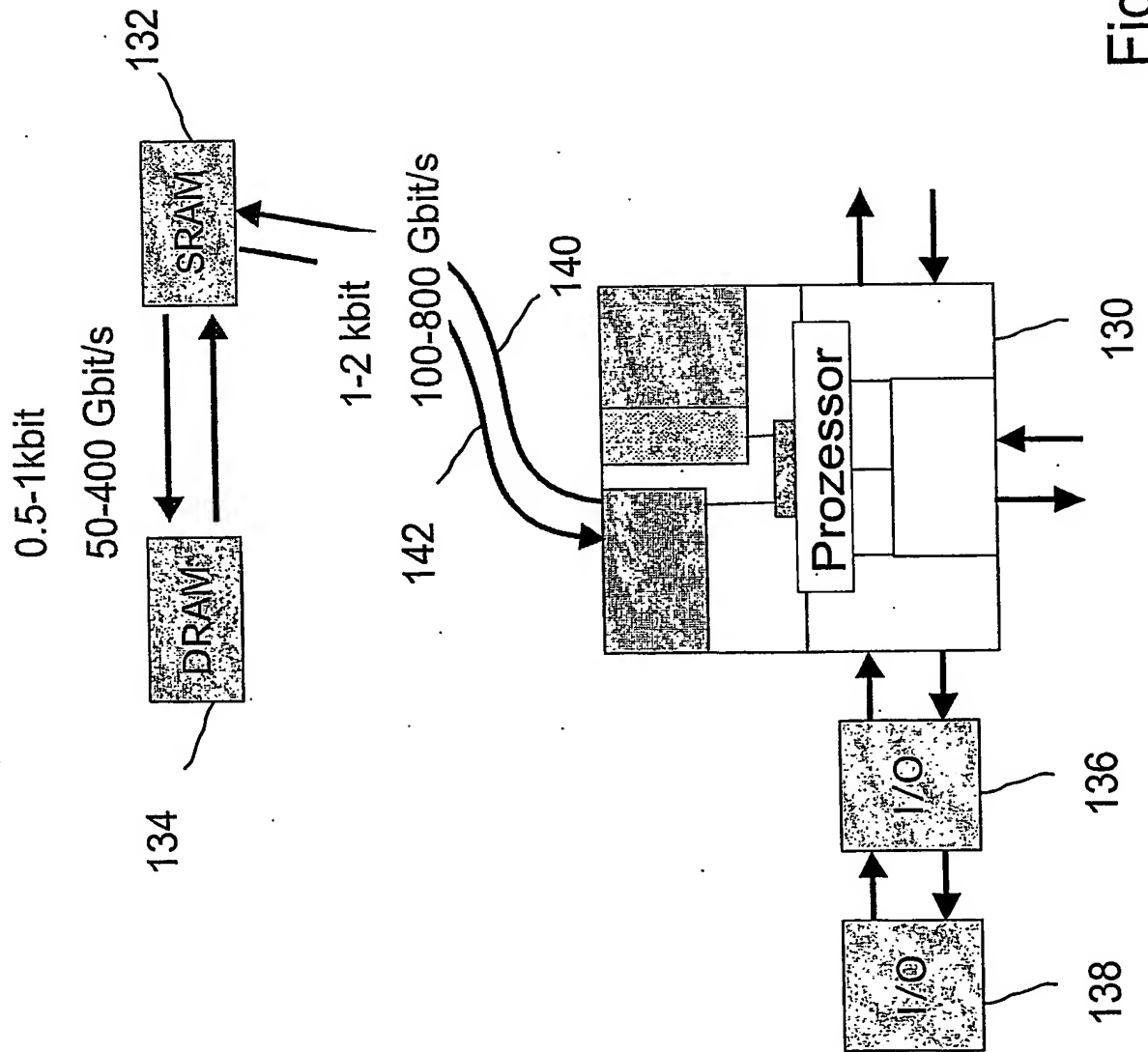


Figure 14

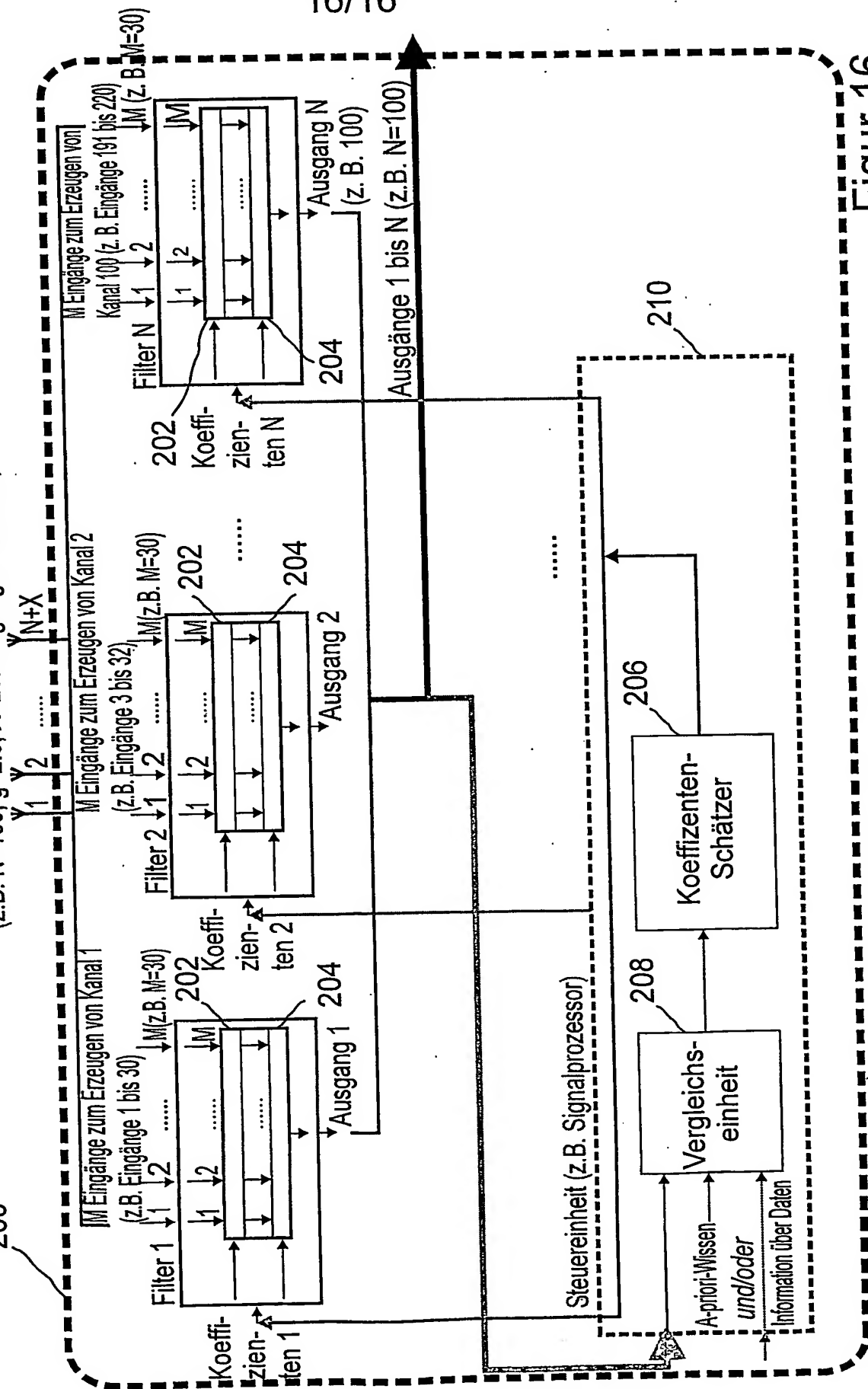


Figur 15



Eingänge 1 bis  $N \cdot g + X$  für  $N$  nutzbare Kanäle  
(z.B.  $N=100$ ,  $g=2.0$ ,  $X=20$ : Eingänge 1 bis 220)

200



Figur 16

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**